

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-068650  
 (43)Date of publication of application : 16.03.2001

(51)Int.Cl. H01L 27/108  
 H01L 21/8242  
 G11C 11/407  
 G11C 11/401  
 H01L 27/04  
 H01L 21/822  
 H03L 7/00  
 H03L 7/081  
 // H03K 5/13

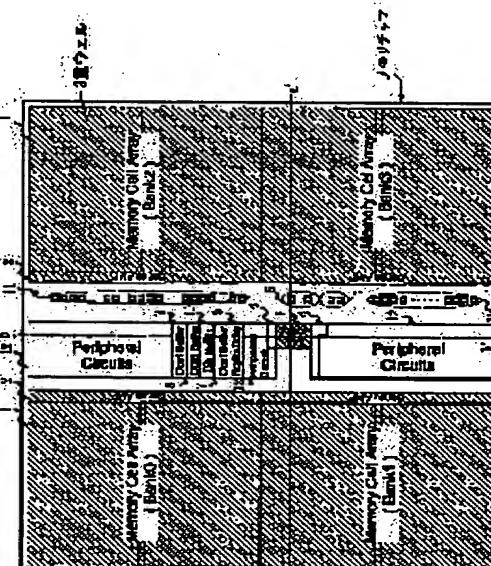
(21)Application number : 11-243154 (71)Applicant : HITACHI LTD  
 (22)Date of filing : 30.08.1999 (72)Inventor : OKUDA YUICHI  
 KOKUBO MASARU  
 NAKAGOME YOSHINOBU  
 YAHATA HIDEJI  
 MIYASHITA HIROMOTO

## (54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

## (57)Abstract:

PROBLEM TO BE SOLVED: To realize high accuracy and low power consumption by electrically isolating an element formation region for forming a clock generating circuit and an element formation region for constituting a digital circuit, which is formed on a semiconductor substrate.

SOLUTION: Since amplifiers 2 are formed in respective memory cell arrays 1 of a memory chip where these amplifiers 2 are provided such that they are made to exist in the interior of respective triple wells forming the memory cell arrays 1. A DLL (clock generating circuit) analog part 3 is provided in the interior of a triple well in the central part of the memory chip, a triple well in the analog part 3 is provided so that it is made to be isolated from the triple wells including the arrays and the amplifiers 2 to make them adjacent to the part 3, and DLL digital parts 4 are made to exist on the outside of the triple wells. As a result, a low power consumption in a semiconductor integrated circuit device can be achieved with high accuracy.



## LEGAL STATUS

[Date of request for examination]  
 [Date of sending the examiner's decision]

[of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-68650

(P2001-68650A)

(43)公開日 平成13年3月16日 (2001.3.16)

(51)Int.Cl.

H 01 L 27/108  
21/8242  
G 11 C 11/407  
11/401  
H 01 L 27/04

識別記号

F I

テ-マコ-ト(参考):

H 01 L 27/10 6 8 1 F 5 B 0 2 4  
H 03 L 7/00 D 5 F 0 3 8  
H 03 K 5/13 5 F 0 8 3  
G 11 C 11/34 3 5 4 C 5 J 0 0 1  
3 6 2 S 5 J 1 0 6

審査請求 未請求 請求項の数21 OL (全 32 頁) 最終頁に統く

(21)出願番号

特願平11-243154

(22)出願日

平成11年8月30日 (1999.8.30)

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 奥田 裕一

東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体グループ内

(72)発明者 小久保 優

東京都国分寺市東恋ヶ窪一丁目280番地  
株式会社日立製作所中央研究所内

(74)代理人 100081938

弁理士 徳若 光政

最終頁に統く

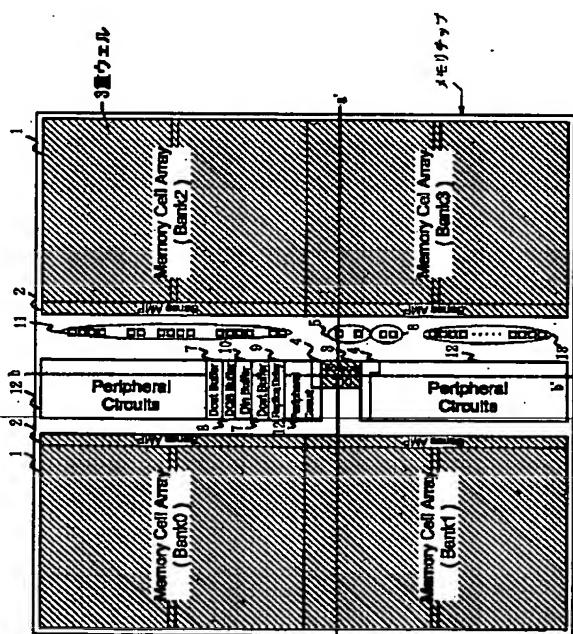
(54)【発明の名称】 半導体集積回路装置

(57)【要約】

【課題】 安定したクロック発生動作、高精度で低消費電力のD L L Sを用いたクロック発生回路を備えた半導体集積回路装置を提供する。

【解決手段】 外部端子から入力された入力クロック信号を可変遅延回路で遅延した遅延信号に基づいた信号と、上記入力クロック信号とを位相比較回路で位相比較し、両者が一致するように制御回路により上記可変遅延回路の遅延時間を制御して内部クロック信号を形成するクロック発生回路において、上記クロック発生回路とそれにより形成されたクロック信号により動作する内部回路を共通の半導体基板上に形成し、上記クロック発生回路が形成される素子形成領域と、上記半導体基板上に形成される上記デジタル回路を構成する素子形成領域とを素子分離技術により電気的分離する。電源経路も他のデジタル回路と独立させる。

図1



【特許請求の範囲】

【請求項1】 外部端子から入力された入力クロック信号に基づいて形成された第1クロック信号を所定の遅延時間遅延させた第2クロック信号を出力する可変遅延回路と、上記第2クロック信号に基づいて形成された第3クロック信号と上記第1クロック信号とを位相比較し、両者が一致するように上記遅延時間を制御する制御回路とを含むクロック発生回路と、

上記第2クロック信号に応答する内部回路とが共通の半導体基板上に形成されてなり、

上記可変遅延回路を構成する素子形成領域と上記内部回路を構成する素子形成領域とは分離されてなることを特徴とする半導体集積回路装置。

【請求項2】 請求項1において、

上記遅延時間はアナログ電圧により制御がされるものであり、

上記制御回路は、上記第1クロック信号の位相と上記第3クロック信号の位相とを比較し制御信号を出力する位相比較回路と、上記制御信号に基づいて上記アナログ電圧を発生させるチャージポンプ回路とを含み、

上記チャージポンプ回路は上記内部回路を構成する素子形成領域と電気的に分離されてなることを特徴とする半導体集積回路装置。

【請求項3】 請求項2において、

上記可変遅延回路、及びチャージポンプ回路の各回路は、第1導電型にされた共通の半導体基板上において、深い深さに形成された第2導電型のウェル領域上にそれぞれ形成され、浅い深さに形成された第1導電型又は第2導電型のウェル領域に形成されるものであることを特徴とする半導体集積回路装置。

【請求項4】 請求項1又は2において、

上記半導体集積回路装置は、第1電圧を供給する第1供給部と、上記第1電圧を供給する第2供給部とを有し、上記内部回路は、上記第1供給部から供給される上記第1電圧を受け、

上記可変遅延回路は、上記第2供給部から供給される上記第1電圧を受けるものであることを特徴とする半導体集積回路装置。

【請求項5】 請求項4において、

上記深い深さに形成された第2導電型のウェル領域の周辺部は、MOS容量素子が形成されて、上記可変遅延回路に供給される上記第1電圧の安定化容量として用いられるものであることを特徴とする半導体集積回路装置。

【請求項6】 請求項4又は5において、

上記クロック発生回路は、上記入力クロック信号を受け上記第1クロック信号を出力するクロック入力バッファと、上記第2クロック信号を受け上記第4クロック信号を出力するクロック出力バッファとを更に備え、上記内部回路は、上記第4クロック信号を受けて動作し、

上記クロック入力バッファと上記クロック出力バッファとを上記深い深さに形成された第2導電型のウェル領域上に形成することを特徴とする半導体集積回路装置。

【請求項7】 請求項1において、

上記制御回路は、上記第1クロック信号と上記第2クロック信号のそれぞれを分周する分周回路を含むものであることを特徴とする半導体集積回路装置。

【請求項8】 請求項1において、

上記遅延時間は、アナログ電圧により制御されるものであり、

上記制御回路は、上記第1クロック信号の分周クロック信号である第5クロック信号を形成する第1分周回路と、上記第3クロック信号の分周クロック信号である第6クロック信号を形成する第2分周回路と、

上記第5クロック信号の位相と上記第6クロック信号の位相とを比較し制御信号を出力する位相比較回路と、

上記制御信号に基づいて上記アナログ電圧を発生させるチャージポンプ回路とを含み、上記第5及び第6クロック信号は、上記クロック発生回路が動作状態とされるときに所定の初期値とされるものであることを特徴とする半導体集積回路装置。

【請求項9】 請求項1において、

上記半導体集積回路装置は、上記入力クロック信号を受け上記第1クロック信号を出力するクロック入力回路と、

上記第4クロック信号を受けて動作する出力回路と、上記クロック入力回路と上記出力回路の遅延時間に対応した時間だけ上記第4クロック信号を遅延させて上記第3クロック信号を形成するレプリカ遅延回路を更に備え、

上記内部回路は、上記出力回路を含むものであることを特徴とする半導体集積回路装置。

【請求項10】 請求項8において、

上記第1、第2分周回路及び上記位相比較回路は、上記可変遅延回路が形成される素子形成領域とは電気的に分離された素子形成領域に形成されるものであることを特徴とする半導体集積回路装置。

【請求項11】 請求項1において、

上記半導体集積回路装置は、第1電圧を供給する第1供給部と上記第1電圧を供給する第2供給部とを有し、上記内部回路は、

複数からなるダイナミック型メモリセルのアドレス選択端子がそれぞれに接続されてなる複数のワード線と、

複数からなるダイナミック型メモリセルがそれぞれに接続されてなる複数対の相補ビット線と、

上記相補ビット線対の信号をそれぞれ増幅する複数からなるラッチ回路からなるセンスアンプとを含み、

上記センスアンプは、上記第1供給部から供給される上記第1電圧を受け、

上記可変遅延回路は、上記第2供給部から供給される上

記第1電圧を受けることを特徴とする半導体集積回路装置。

【請求項12】 第1クロック信号を受け、上記第1クロック信号を所定の遅延時間遅延させた第2クロック信号を出力する可変遅延回路と、上記第2クロック信号に基づいて形成された第3クロック信号と上記第1クロック信号とを位相比較し、上記第1クロック信号の位相と上記第3クロック信号の位相が一致するように上記遅延時間を制御する制御回路を含むクロック発生回路と、上記第2クロック信号に応答する内部回路と、第1電圧を供給する第1供給部と、

上記第1電圧を供給する第2供給部とを有し、上記内部回路は、上記第1供給部から供給される上記第1電圧を受け、

上記可変遅延回路は、上記第2供給部から供給される上記第1電圧を受けるものであることを特徴とする半導体集積回路装置。

【請求項13】 請求項12において、上記内部回路は、

複数からなるダイナミック型メモリセルのアドレス選択端子がそれぞれに接続されてなる複数のワード線と、複数からなるダイナミック型メモリセルがそれぞれに接続されてなる複数対の相補ビット線対と、

上記相補ビット線対の信号をそれぞれ増幅する複数から

なるラッチ回路からなるセンスアンプとを含み、

上記第1供給部は、上記半導体集積回路装置の外部から上記第1電圧を受ける第1リードを含み、

上記第2供給部は、上記半導体集積回路装置の外部から上記第1電圧を受ける第2リードを含み、

上記センスアンプは、上記第1リードを介して上記第1電圧が供給され、

上記可変遅延回路は、上記第2リードを介して上記第1電圧が供給されるものであることを特徴とする半導体集積回路装置。

【請求項14】 請求項13において、

上記半導体集積回路装置は、上記半導体集積回路装置の外部から上記第1電圧を受ける第3リードを更に含み、上記内部回路は、更に入力信号を受ける入力回路及び出力信号を送出する出力回路を備え、

上記入力回路及び出力回路は、上記第3リードを介して上記第1電圧が供給されるものであることを特徴とする半導体集積回路装置。

【請求項15】 外部端子から入力された入力クロック信号を遅延させる可変遅延回路と、上記可変遅延回路を通した遅延信号と、上記入力クロック信号とを位相比較回路で位相比較し、両者が一致するように上記可変遅延回路の遅延時間を制御して内部クロック信号を形成する制御回路とを含むクロック発生回路を備え、

上記制御回路は、上記可変遅延時間が目標値を超えた時

点で、その遅延量を逆方向に戻すように上記可変遅延回路を制御することを特徴とする半導体集積回路装置。

【請求項16】 請求項15において、上記位相比較回路による位相比較動作毎の上記可変遅延回路の遅延時間の変化量は、ほぼ一定であることを特徴とする半導体集積回路装置。

【請求項17】 請求項15において、上記位相比較回路による位相比較動作毎の上記可変遅延回路の遅延時間の変化量は、動作状態に対応して変化させられるものであることを特徴とする半導体集積回路装置。

【請求項18】 請求項17において、上記可変遅延回路の遅延時間の変化量は、クロック発生回路の動作開始から上記目標値を超えるまでの第1期間では大きく、上記第1期間から遅延時間が目標値より小さくなるまでの第2期間では、上記第1期間での遅延時間の変化量よりも小さく、上記第2期間以降は上記第2期間よりも更に小さく設定されてなることを特徴とする半導体集積回路装置。

【請求項19】 請求項17において、上記可変遅延回路の遅延時間の変化量は、位相同期動作を損なわない範囲で上記可変遅延回路の遅延時間が目標値を超える度に小さくされることを特徴とする半導体集積回路装置。

【請求項20】 請求項15ないし19のいずれかにおいて、

上記位相比較回路は、データ端子とクロック端子に上記入力クロック信号と内部クロック信号が供給されるフリップフロップ回路で構成され、位相差に対応してハイレベル又はロウレベルの位相比較信号を形成するものあり、

上記制御回路は、上記位相比較信号に対応して上記チャージポンプ回路に対してチャージアップ電流又はディスチャージ電流を流すパルス信号を形成する回路を含むものであることを特徴とする半導体集積回路装置。

【請求項21】 請求項20において、上記可変遅延回路の遅延時間の変化量は、上記パルス信号の数と、かかるパルス信号により上記チャージポンプ回路に流れる電流値との組み合わせにより変化させられるものであることを特徴とする半導体集積回路装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、半導体集積回路装置に関し、外部端子から供給されるクロック信号に対応したクロック信号を発生させるクロック発生回路を備えた半導体集積回路装置、主にシンクロナスのダイナミック型RAM(ランダム・アクセス・メモリ)に利用して有効な技術に関するものである。

【0002】

【従来の技術】外部端子から供給されたクロック信号で

動作するデジタル回路を備えた半導体集積回路装置において、上記外部端子から供給されるクロック信号と、内部回路に供給されるクロック信号との遅延によるタイミングマージンの劣化を防止し、上記クロック信号の高周波数化を実現するために、上記外部端子から供給されるクロック信号と内部クロック信号との同期化を図る回路として、DLL (DelayLocked Loop) が知られている。このDLLは、遅延量を変化する可変遅延回路と、遅延量を制御する制御回路から構成される。

## 【0003】

【発明が解決しようとする課題】上記DLLの可変遅延回路には、回路の段数を切り替えることにより遅延量を変化するデジタル可変遅延回路と、遅延素子の駆動電流や負荷を変化させることにより遅延量を変化するアナログ可変遅延回路が考えられる。また、上記アナログ可変遅延回路を使用するアナログDLLの遅延量を制御する回路として、デジタル制御を行うデジタル方式と、チャージポンプなどを使用するアナログ方式が考えられる。各組み合わせによるDLLの性能はおおよそ以下のようない傾向になる。

【0004】①デジタル制御デジタルDLL: 消費電力大 精度粗 ロックインサイクル短ノイズ耐性中  
 ②デジタル制御アナログDLL: 消費電力大 精度細 ロックインサイクル短ノイズ耐性中  
 ③アナログ制御アナログDLL: 消費電力小 精度細 ロックインサイクル長ノイズ耐性悪

【0005】上記3種類のDLLにはおおよそ上記のような特徴があり、消費電力と精度の性能を追っていくとアナログ制御アナログDLLということになる。しかし、アナログ制御DLLにはロックインサイクルが長く、ノイズ耐性も相対的に悪いという問題がある。ただし、デジタル制御DLLにおいても、可変遅延回路はノイズによる変動を受けるものであるのでノイズ耐性が格別に良いというわけではなくそれを改善することは有益である。アナログ制御では制御回路もノイズの影響を受けるのでデジタル制御に比べてノイズ耐性に劣ると推測される。

【0006】今後、シンクロナスDRAM (ダイナミック型ランダム・アクセス・メモリ) を代表とするように、外部端子から供給されるクロック信号で内部のデジタル回路の動作が行われる半導体集積回路装置においては、バンド幅つまりデータの入出力動作の高速化が求められるようになるため、上記のいずれの方式を採用するDLLに対しても精度とノイズ耐性およびロックインサイクルについて改善する余地がある。

【0007】この発明の目的は、安定したクロック発生動作を実現したDLLを備えた半導体集積回路装置を提供することにある。この発明の他の目的は、高精度で低消費電力のDLLを用いたクロック発生回路を備えた半導体集積回路装置を提供することにある。この発明の他

の目的は、高精度で低消費電力を図りつつ、ロックインを短くしたDLLを用いて構成されたクロック発生回路を備えた半導体集積回路装置を提供することにある。この発明の前記ならびにそのほかの目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

## 【0008】

【課題を解決するための手段】本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記の通りである。外部端子から入力された入力クロック信号を可変遅延回路で遅延した遅延信号に基づいた信号と、上記入力クロック信号とを位相比較回路で位相比較し、両者が一致するように制御回路により上記可変遅延回路の遅延時間を制御して内部クロック信号を形成するクロック発生回路において、上記クロック発生回路とそれにより形成されたクロック信号により動作する内部回路を共通の半導体基板上に形成し、上記クロック発生回路が形成される素子形成領域と、上記半導体基板上に形成される上記デジタル回路を構成する素子形成領域とを素子分離技術により電気的分離する。

【0009】本願において開示される発明のうち他の代表的なものの概要を簡単に説明すれば、下記の通りである。外部端子から入力された入力クロック信号を可変遅延回路で遅延した遅延信号と、上記入力クロック信号とを位相比較回路で位相比較し、両者が一致するように制御回路により上記可変遅延回路の遅延時間を制御して内部クロック信号を形成するクロック発生回路において、上記クロック発生回路とそれにより形成されたクロック信号により動作する内部回路を共通の半導体基板上に形成し、上記内部回路に動作電圧を供給する電源供給経路とは異なる専用のボンディングパッド及びリードを用いて上記クロック発生回路に対する動作電圧の供給を行う。

【0010】本願において開示される発明のうち更に他の代表的なものの概要を簡単に説明すれば、下記の通りである。外部端子から入力された入力クロック信号を可変遅延回路で遅延した遅延信号と、上記入力クロック信号とを位相比較回路で位相比較し、両者が一致するように制御回路により上記可変遅延回路の遅延時間を制御して内部クロック信号を形成するクロック発生回路において、上記制御回路は、上記可変遅延時間が目標値を超えた時点でその遅延量を逆方向に戻すように上記可変遅延回路を制御するようにする。

## 【0011】

【発明の実施の形態】図1には、この発明が適用されるダイナミック型RAMの一実施例の概略レイアウト図が示されている。同図の各回路ブロックは、公知の半導体集積回路の製造技術によって、単結晶シリコンのような1個の半導体基板上において形成される。同図の各回路は、上記半導体基板上での幾何学的な配置にはば合わせ

て描かれている。この実施例では、メモリセルアレイ (Memory Cell Array) 1は、前記同様に全体として4個に分けられて、メモリバンク (Bank 0~Bank 3) を構成するようされる。

【0012】上記チップの一方向に沿った中央部分にアドレス入力回路やデコーダ回路及び制御回路等を含む周辺回路 (Peripheral Circuits) 12、データ入力回路 (DinBuffer) 10、データ出力回路 (Dout Buffer) 7、DQSバッファ (DQS Buffer) 8及びボンディングパッド列 11が設けられる。上記データ入力回路 10やデータ出力回路 7等も広い意味では周辺回路 12に含まれる。つまり、上記データ入力回路 10、データ出力回路 7、DQSバッファ 8は、周辺回路の代表として例示的にしめされたものであると理解されたい。この実施例では、上記のような広い意味での周辺回路は、ランダム・ロジック回路等からなる上記各回路のレイアウトを合理的にするために、周辺回路とボンディングパッド列とが並ぶように配置される。

【0013】例えば、ボンディングパッド列と周辺回路とを半導体チップの一方向に沿った中央部分に直線的に並んで配置した場合には、ボンディングパッド数が限られてしまうし、ボンディングパッドと周辺回路との接続が距離が長くなる。この実施例では、上記周辺回路とボンディングパッド列とが並んで配置される。この構成では、ボンディングパッド列は、半導体チップの一方向に沿った中心線から偏った位置に配置される。この結果、半導体チップの上記一方向に沿った中央部分には、比較的大きな纏まつたエリアを確保することができ、回路素子のレイアウト設計を行うにおいて好都合となる。つまり、本願と同じく周辺回路とボンディングパッド列とが並んで配置させる構成でも、ボンディングパッドを中心にして、周辺回路を左右に振り分けて配置するようにした場合に比べて高集積化や高速化に適したものとなる。

【0014】この実施例のダイナミック型RAMは、後述するようなダブル・データ・レート (DDR) シンクロナスDRAM (SDRAM) に向けられており、上記周辺回路 12には、上記のように代表として例示的に示されているデータ出力回路 7、DQS出力回路 8及びデータ入力回路 10の他に以下のような各回路が含まれる。昇圧回路は、チャージポンプ回路を利用して電源電圧VDD以上にされた昇圧電圧VPPを形成するものであり、メモリセルが接続されたワード線の選択回路や、シェアードスイッチMOSFETの選択回路の動作電圧に用いられて選択レベルを決定し、その昇圧回路の動作を制御する制御回路も含まれる。

【0015】VDD/2回路は、電源電圧VDDを1/2に分圧した電圧を形成し差動回路で構成された入力バッファの参照電圧を形成する。出力制御回路は、上記データ出力回路 7のCASレイテンシに対応した動作制御を行う。Yプリデコーダは、Yアドレス信号を解読して

プリデコード信号を形成する。リード/ライトバッファは、メインアンプの動作制御及びラントアンプの動作を行う。

【0016】アドレス系の入力回路には、アドレスバッファとXアドレスラッチ回路及びYアドレスラッチ回路が設けられる。Yクロック発生回路は、外部端子から供給されたクロック信号を受けてY系の動作に対応したクロック信号を発生する。モードデコーダ/クロックバッファとコマンド回路は、動作制御信号を形成する。Yカウンタとその制御回路が設けられてパートスモードでのY系アドレス信号を生成する。リフレッシュ制御回路はオート/セルフのリフレッシュ動作を行うものであり、リフレッシュアドレスカウンタを含む。また、ボンディングオプション回路や電源投入検出回路も設けられる。

【0017】上記のような複数からなる回路ブロックに沿って、ボンディングパッドがほぼ直線的に並べられて形成される。この構成では、ボンディングパッドを挟んで、周辺回路が左右に分離して配置されしまうものに比べて、各回路ブロックでの信号伝達経路がボディングパッドを回避するために不希望に長くされることもなく、短い長さで形成することができるから動作の高速化が可能になる。そして、1つの回路ブロックを纏めたエリアに集中して形成できるために、後述するような自動配線を考慮した回路素子のレイアウトを容易にするものである。

【0018】この実施例では、クロック発生回路 (DLL Analog) 3がほぼメモリチップの中央部に設けられる。このクロック発生回路 3は、後述するようなアナログ回路により構成され、かかるアナログ回路に対して入力信号や制御信号を供給する回路や、内部クロック信号を出力させるデジタル回路 4が設けられる。

【0019】この実施例において、斜線を付したように上記のような4つからなる各メモリセルアレイ (Memory Cell Array) 1は、それぞれが3重WE LL内部に設けられることによって、周辺回路 12等とは別に基板電圧を設定し、メモリセルアレイ 1内のメモリセルのアドレス選択MOSFETを構成するNチャンネル型MOSFETの閾値電圧を制御し、リーク電流を低減させてメモリセルのデータ保持時間を確保するとともにその変動を押さえようとするものである。

【0020】上記のようなメモリセルアレイ 1には、センスアンプ (Sense AMP) 2が設けられており、このセンスアンプ 2も上記メモリセルアレイ 1が形成される3重WE LL内部に存在するようされる。上記センスアンプの半導体基板上の幾何学的な位置は、同図のように1箇所にあるのではなく、実際には階層ワード線及び階層I/O線方式に対応してメモリセルアレイが複数に分割され、分割された各サブアレイに対応してセンスアンプが分散して配置される。上記メモリチップ中央部の3重WE LL内部には、上記DLLアナログ部 3が設けら

れる。このD L Lアナログ部3の3重W E L Lは、メモリセルアレイ1およびセンスアンプ2を含む3重W E L Lとは分離している。このD L Lアナログ部3に隣接してD L Lデジタル部4が設けられ、上記3重W E L L外部に存在するようになる。

【0021】この実施例では、D L Lアナログ部3近傍に一対からなるD L L専用電源パッド5が設けられている。本D L L専用電源パッド5はD L Lアナログ部3にのみ接続されて他の回路ブロックからの電源供給経路を介した電源ノイズの侵入を防ぐようになっている。つまり、上記D L L専用電源パッド5はD L Lアナログ部3だけに接続されるので、上記周辺回路12、データ出力回路7及びセンスアンプ2等の他の回路の動作電圧を供給する電源配線、G N D配線からのノイズの進入を防ぐようになる。

【0022】上記データ出力回路(Dout Buffer)7に隣接してD Q Sバッファ8が設けられる。出力バッファ7に隣接してレプリカ遅延回路(Replica Delay)9が設けられる。このレプリカ回路は、後述するように上記D Q Sバッファを通したクロック信号と外部端子から供給されたクロック信号とを精度よく同期化させるための遅延回路として用いられる。

【0023】図2には、上記D L Lアナログ部3の一実施例のレイアウト図が示されている。D L Lアナログ部3は、独立した3重ウェルに形成される。同図ではD L Lアナログ部3の周辺部に斜線を付すことによって、それが1個の3重ウェル内に形成されていることを表している。かかるD L Lアナログ部3には、V D DとV S Sのような動作電圧を供給する専用の電源パッドV D D\_D L L(PAD)とV S S\_D L L(PAD)とが設けられ、前記図1のパッド5に対応している。

【0024】可変遅延回路303は、特に制限されないが、アナログ制御電圧により動作電流が変化させられることによって遅延時間が変化させられるというアナログ遅延回路により構成される。上記可変遅延回路303は、複数段の遅延回路からなり、出力アンプ(AMP)305が設けられる。上記可変遅延回路303は出力タップを6組備えており、それぞれが別の出力アンプ305の入力端子に接続されている。上記出力アンプ305は、6つのうち常に1つだけが動作しており、動作していない時の出力アンプ305の出力はハイインピーダンスとなる。よって、上記6つの出力アンプ305の出力端子は共通に接続されており、動作している出力アンプ305の出力信号のみが有効になる。上記出力タップと出力アンプの数は上記のように6に限定されるものではなく任意に設定できる。

【0025】この実施例では、特に制限されないが、D L Lアナログ部3の外周部にはPチャンネル型M O S F E Tを用いて構成されたP M O S容量が複数個設けられる。これらのP M O S容量は制御電圧保持用、電源V D

D-G N D平滑化、予備用に使用される。つまり、同図において、可変遅延回路303と出力アンプ305とを接続するように形成されたP M O S容量は、同図で実線で示された配線により並列接続されて、チャージポンプ307によって充放電が行われて制御電圧V Bを形成する容量として用いられ、かかる制御電圧V Bによって可変遅延回路の遅延時間が制御される。

【0026】上記チャージポンプ307に用いられるP M O S容量を除いて上記D L Lアナログ部3の外側に設けられるP M O S容量は、上記電源V D D-V S S(G N D)の平滑化容量として用いられる。これにより、D L Lアナログ部3を構成する各回路に与えられる電源電圧V D D及び接地電位V S Sの安定化を図ることができる。つまり、D L L専用電源パッドは、V D D\_D L Lパッドと、V S S\_D L Lパッドとの間に上記平滑容量が接続される。

【0027】この実施例では、上記D L Lアナログ部3の外部から供給される制御信号を受ける入力バッファ301が、上記3重W E L L内に設けられる。また、外部端子から供給されるクロック入力信号E C L Kを上記可変遅延回路303に供給される入力バッファ302も、上記3重W E L L内に設けられる。そして、選択された出力アンプ305からのクロック出力Q C L Kを前記データ出力回路7へ出力するC L K出力バッファ304が上記3重ウェル内に設けられる。上記の構成によって、上記Q C L Kの位相は、制御信号がチャージポンプ307を駆動することによって出力される制御電圧V Bによって制御されることになる。

【0028】この実施例では、ノイズに弱い可変遅延回路303やチャージポンプ307は3重W E L Lの中央部に配置され、周囲のノイズ源から距離を離されノイズの侵入を防いでいる。外部からの制御信号はD L Lアナログ部3の内部で一旦バッファリングすることにより、制御信号から伝わるノイズの侵入を防いでいる。そして、D L L専用電源はD L Lアナログ部3だけに接続されるので電源配線、V S S(G N D)配線からのノイズの侵入を防ぐことができる。そして、上記のように可変遅延回路303には、6つの出力タップを設けて6つの出力アンプ305のいずれか1つを選択することにより、可変遅延回路の可変段数を選択することができる。これにより、可変遅延範囲が設計値から外れても調整することができる。

【0029】図3には、この発明に係る半導体集積回路装置の一実施例の概略素子構造断面図が示されている。同図は、図1のa-a'断面図が示されている。同図に示されているように、メモリセルアレイ1を含むD W E L LとD L Lアナログ部3を含むD W E L LとはP N接合分離によって電気的に絶縁されている。これにより、同一のP基板P S U Bに上記各回路が形成されるにもかかわらず、例えば大きなノイズ源であるセンスアンプ2

からのノイズが基板P SUBを介して侵入することを防ぐことができる。

【0030】また、メモリセルアレイ1を含むDWELLとDLLアナログ部3を含むDWE LLの基板電源はボンディングパッド及びリードもそれぞれ専用に設けられた別のものであり、かかる電源供給経路において発生するノイズが侵入することはない。具体的には、電源パッド、VSSパッドは、DLLアナログ部3に専用に設けられており、かかるパッドは専用の外部リードにワイヤボンディングされている。上記DLLアナログ部3を降圧電源を使う場合は、上記のような電源パッドやリードに加えてDLLアナログ部専用の電源回路を設けるようとするものである。

【0031】図4には、この発明に係る半導体集積回路装置の一実施例の概略素子構造断面図が示されている。同図は、図1のb-b'断面図が示されている。DLLデジタル部4を含む周辺回路12は3重WELLの外のP型基板P SUB上のウェル領域NWE LL, PWELLに形成され、デジタル信号の動作によるノイズがDLLアナログ部3に基板P SUBを介して侵入するのを防いでいる。この実施例では、DLLデジタル部4からDLLアナログ部3への信号はDLLアナログ部の入力バッファによりバッファリングされており、デジタル信号に含まれノイズ成分がチャージポンプや可変遅延回路に侵入するのを防いでいる。

【0032】図5には、この発明に係る半導体集積回路装置の他の一実施例の概略素子構造断面図が示されている。同図は、図1のb-b'に対応された変形例である。この実施例では、図4とは逆に、DLLデジタル部4を含む周辺回路12を3重WELLの内部に配置し、DLLアナログ部3を3重WELL外部に配置した例である。上記周辺回路とDLLアナログ部3の基板が上記3重ウェルによる素子分離技術によって絶縁されているので、この場合もノイズの侵入を防ぐことができる。つまり、DLLデジタル部4を含む周辺回路とDLLアナログ部3とを3重ウェルによる素子分離技術を用いて電気的に分離するという意味では、上記両実施例は同じである。この場合、メモリセルアレイ1を含む3重WELLは周辺回路を含む3重WELLとは切り離される。なぜなら、メモリセルアレイ1を3重WELL内部に配置するのはノイズ対策よりも、基板電位を独立に与えるためだからである。

【0033】この実施例のようなアナログ制御アナログDLLにおいて、可変遅延回路303, チャージポンプ(アナログ制御回路)307はノイズに弱い。よって、この2つの回路を中心として、周囲のノイズ源から隔離するものである。特にDRAMではセンスアンプ(Sense AMP)をはじめとして、周囲にノイズ源が多いため、この実施例のようなノイズ隔離の効果が大きい。そして、後述するようにアナログ制御回路であるチャージ

ポンプの新しい駆動方式を採用し、従来の駆動方式であるPFDの欠点である不感帯をなくし、ロックインサイクルを短くすることができるよう工夫を行うものである。

【0034】上記DLL回路の他回路との分離は、アナログ制御アナログDLLにおいて、特に著しい効果が期待できるが、デジタル制御デジタルDLLやデジタル制御アナログDLLにおいても、チップ内部で発生するノイズを効果的に遮断することができるためDLLのノイズ耐性が向上させることができる。つまり、デジタルDLLでも、遅延回路を構成するインバータ回路等に与えられる動作電圧が上記電源ノイズによって変動すると、それに対応して容量性負荷に対するチャージアップ電流やディスチャージ電流が変化して遅延時間が変動してしまう。

【0035】つまり、上記電源電圧VDDや接地電圧VSSは、MOSFETの基板バイアス電圧とされるのでしきい値電圧を変化させるとともに、MOSFETのゲートとソース間に供給される入力信号を変化させる。このように入力電圧と上記のようなしきい値電圧との両方が電源電圧や接地線のノイズによって変動を受けるものであるので、従来のデジタルDLLにおいては遅延時間が変動し、結果として出力クロック信号にジッタ(位相のゆらぎ)を生じてしまうものである。したがって、本願発明をDLLを用いたクロック発生回路に適用することにより、DLLのノイズ耐性が向上し、同じノイズ条件下でのDLLのジッタを減少させることができ、あるいは他の回路のジッタの増加を吸収することができる。

【0036】図6には、この発明が適用されるDDR SDRAM (Double Data Rate Synchronous Dynamic Random Access Memory)の一実施例の全体ブロック図が示されている。この実施例のDDR SDRAMは、特に制限されないが、4つのメモリバンクに対応して4つのメモリアレイ200A～200Dが設けられる。4つのメモリバンク0～3にそれぞれ対応されたメモリアレイ200A～200Dは、マトリクス配置されたダイナミック型メモリセルを備え、図に従えば同一列に配置されたメモリセルの選択端子は列毎のワード線(図示せず)に結合され、同一行に配置されたメモリセルのデータ入出力端子は行毎に相補データ線(図示せず)に結合される。

【0037】上記メモリアレイ200Aの図示しないワード線は行(ロウ)デコーダ(Row DEC)201Aによるロウアドレス信号のデコード結果に従って1本が選択レベルに駆動される。メモリアレイ200Aの図示しない相補データ線はセンスアンプ(Sense AMP)202A及びカラム選択回路(Column DEC)203AのI/O線に結合される。センスアンプ202Aは、メモリセルからのデータ読出しによって夫々の相補データ線に現れる微小電位差を検出して増幅する増幅回路である。それにおける

カラム選択回路203Aは、上記相補データ線を各別に選択して相補I/O線に導通させるためのスイッチ回路を含む。カラムスイッチ回路はカラムデコーダ203Aによるカラムアドレス信号のデコード結果に従って選択動作される。

【0038】メモリアレイ200Bないし200Dも同様に、ロウデコーダ201B～D、センスアンプ203B～D及びカラム選択回路203B～Dが設けられる。上記相補I/O線は各メモリバンクに対して共通化されて、ライトバッファを持つデータ入力回路(Din Buffer)210の出力端子及びメインアンプを含むデータ出力回路(Dout Buffer)211の入力端子に接続される。端子DQは、特に制限されないが、16ビットからなるデータD0～D15を入力又は出力するデータ入出力端子とされる。DQSバッファ(DQS Buffer)215は、上記端子DQから出力するデータのデータストローブ信号を形成する。

【0039】アドレス入力端子から供給されるアドレス信号A0～A14は、アドレスバッファ(Address Buffer)204で一旦保持され、時系列的に入力される上記アドレス信号のうち、ロウ系アドレス信号はロウアドレスバッファ(Row Address Buffer)205に保持され、カラム系アドレス信号はカラムアドレスバッファ(Column Address Buffer)206に保持される。リフレッシュカウンタ(Refresh Counter)208は、オートマチックリフレッシュ(Automatic Refresh)及びセルフリフレッシュ(Self Refresh)時の行アドレスを発生する。

【0040】例えば、256Mビットのような記憶容量を持つ場合、カラムアドレス信号としては、2ビット単位でのメモリアクセスを行うようにする場合には、アドレス信号A14を入力するアドレス端子が設けられる。×4ビット構成では、アドレス信号A11まで有効とされ、×8ビット構成ではアドレス信号A10までが有効とされ、×16ビット構成ではアドレス信号A9までが有効とされる。64Mビットのような記憶容量の場合には、×4ビット構成では、アドレス信号A10まで有効とされ、×8ビット構成ではアドレス信号A9までが有効とされ、そして図のように×16ビット構成ではアドレス信号A8までが有効とされる。

【0041】カラムアドレスバッファ206の出力はカラムアドレスカウンタ(Column Address Counter)207のプリセットデータとして供給され、列(カラム)アドレスカウンタ207は後述のコマンドなどで指定されるバーストモードにおいて上記プリセットデータとしてのカラムアドレス信号、又はそのカラムアドレス信号を順次インクリメントした値を、カラムデコーダ203A～203Dに向けて出力する。

【0042】モードレジスタ(Mode Register)213は、各種動作モード情報を保持する。上記ロウデコーダ(Row Decoder)201AないしDは、バンクセレクト

(Bank Select)回路212で指定されたバンクに対応したもののが動作し、ワード線の選択動作を行わせる。コントロール回路(Control Logic)209は、特に制限されないが、クロック信号CLK、/CLK(記号/はこれが付された信号がロウイネーブルの信号であることを意味する)、クロックイネーブル信号CKE、チップセレクト信号/CS、カラムアドレスストローブ信号/CAS、ロウアドレスストローブ信号/RAS、及びライトイネーブル信号/WEなどの外部制御信号と、/D M及びDQSとモードレジスタ213を介したアドレス信号とが供給され、それらの信号のレベルの変化やタイミングなどに基づいてDDR SDRAMの動作モード及び上記回路ブロックの動作を制御するための内部タイミング信号を形成するもので、それぞれに信号に対等した入力バッファを備える。

【0043】クロック信号CLKと/CLKは、クロックバッファを介して前記説明したようなDLL回路214に入力され、内部クロックが発生される。上記内部クロックは、特に制限されないが、データ出力回路211とDQSバッファ215の入力信号として用いられる。また、上記クロックバッファを介したクロック信号はデータ入力回路210や、列アドレスカウンタ207に供給されるクロック端子に供給される。

【0044】他の外部入力信号は当該内部クロック信号の立ち上がりエッジに同期して有意とされる。チップセレクト信号/CSはそのロウレベルによってコマンド入力サイクルの開始を指示する。チップセレクト信号/CSがハイレベルのとき(チップ非選択状態)やその他の入力は意味を持たない。但し、後述するメモリバンクの選択状態やバースト動作などの内部動作はチップ非選択状態への変化によって影響されない。/RAS、/CAS、/WEの各信号は通常のDRAMにおける対応信号とは機能が相違し、後述するコマンドサイクルを定義するときに有意の信号とされる。

【0045】クロックイネーブル信号CKEは次のクロック信号の有効性を指示する信号であり、当該信号CKEがハイレベルであれば次のクロック信号CLKの立ち上がりエッジが有効とされ、ロウレベルのときには無効とされる。なお、リードモードにおいて、データ出力回路211に対するアウトプットイネーブルの制御を行う外部制御信号/OEを設けた場合には、かかる信号/OEもコントロール回路209に供給され、その信号が例えばハイレベルのときにはデータ出力回路211は高出力インピーダンス状態にされる。

【0046】上記ロウアドレス信号は、クロック信号CLK(内部クロック信号)の立ち上がりエッジに同期する後述のロウアドレスストローブ・バンクアクティブコマンドサイクルにおけるA0～A11のレベルによって定義される。

【0047】アドレス信号A12とA13は、上記ロウ

アドレスストローブ・バンクアクティブコマンドサイクルにおいてバンク選択信号とみなされる。即ち、A12とA13の組み合わせにより、4つのメモリバンク0～3のうちの1つが選択される。メモリバンクの選択制御は、特に制限されないが、選択メモリバンク側のロウデコーダのみの活性化、非選択メモリバンク側のカラムスイッチ回路の全非選択、選択メモリバンク側のみのデータ入力回路210及びデータ出力回路への接続などの処理によって行うことができる。

【0048】上記カラムアドレス信号は、前記のように256ビットで×16ビット構成の場合には、クロック信号CLK(内部クロック)の立ち上がりエッジに同期するリード又はライトコマンド(後述のカラムアドレス・リードコマンド、カラムアドレス・ライトコマンド)サイクルにおけるA0～A9のレベルによって定義される。そして、この様にして定義されたカラムアドレスはバーストアクセスのスタートアドレスとされる。

【0049】次に、コマンドによって指示されるSDRAMの主な動作モードを説明する。

#### (1) モードレジスタセットコマンド(Mo)

上記モードレジスタ30をセットするためのコマンドであり、/CS, /RAS, /CAS, /WE=ロウレベルによって当該コマンド指定され、セットすべきデータ(レジスタセットデータ)はA0～A11を介して与えられる。レジスタセットデータは、特に制限されないが、バーストレングス、CASレイテンシイ、ライトモードなどとされる。特に制限されないが、設定可能なバーストレングスは、2, 4, 8とされ、設定可能なCASレイテンシイは2, 2, 5とされ、設定可能なライトモードは、バーストライトとシングルライトとされる。

【0050】上記CASレイテンシイは、後述のカラムアドレス・リードコマンドによって指示されるリード動作において/CASの立ち下がりから出力バッファ211の出力動作までに内部クロック信号の何サイクル分を費やすかを指示するものである。読み出しデータが確定するまでにはデータ読み出しのための内部動作時間が必要とされ、それを内部クロック信号の使用周波数に応じて設定するためのものである。換言すれば、周波数の高い内部クロック信号を用いる場合にはCASレイテンシイを相対的に大きな値に設定し、周波数の低い内部クロック信号を用いる場合にはCASレイテンシイを相対的に小さな値に設定する。

#### 【0051】(2) ロウアドレスストローブ・バンクアクティブコマンド(Ac)

これは、ロウアドレスストローブの指示とA12とA13によるメモリバンクの選択を有効にするコマンドであり、/CS, /RAS=ロウレベル、/CAS, /WE=ハイレベルによって指示され、このときA0～A9に供給されるアドレスがロウアドレス信号として、A12とA13に供給される信号がメモリバンクの選択信号と

して取り込まれる。取り込み動作は上述のように内部クロック信号の立ち上がりエッジに同期して行われる。例えば、当該コマンドが指定されると、それによって指定されるメモリバンクにおけるワード線が選択され、当該ワード線に接続されたメモリセルがそれぞれ対応する相補データ線に導通される。

#### 【0052】(3) カラムアドレス・リードコマンド(Re)

このコマンドは、バーストリード動作を開始するために必要なコマンドであると共に、カラムアドレスストローブの指示を与えるコマンドであり、/CS, /CAS=ロウレベル、/RAS, /WE=ハイレベルによって指示され、このときA0～A9(×16ビット構成の場合)に供給されるカラムアドレスがカラムアドレス信号として取り込まれる。これによって取り込まれたカラムアドレス信号はバーストスタートアドレスとしてカラムアドレスカウンタ207に供給される。

【0053】これによって指示されたバーストリード動作においては、その前にロウアドレスストローブ・バンクアクティブコマンドサイクルでメモリバンクとそれにおけるワード線の選択が行われており、当該選択ワード線のメモリセルは、内部クロック信号に同期してカラムアドレスカウンタ207から出力されるアドレス信号に従って順次選択されて連続的に読み出される。連続的に読み出されるデータ数は上記バーストレングスによって指定された個数とされる。また、出力バッファ211からのデータ読み出し開始は上記CASレイテンシイで規定される内部クロック信号のサイクル数を待って行われる。

#### 【0054】(4) カラムアドレス・ライトコマンド(Wr)

当該コマンドは、/CS, /CAS, /WE=ロウレベル、/RAS=ハイレベルによって指示され、このときA0～A9に供給されるアドレスがカラムアドレス信号として取り込まれる。これによって取り込まれたカラムアドレス信号はバーストライトにおいてはバーストスタートアドレスとしてカラムアドレスカウンタ207に供給される。これによって指示されたバーストライト動作の手順もバーストリード動作と同様に行われる。但し、ライト動作にはCASレイテンシイはなく、ライトデータの取り込みは当該カラムアドレス・ライトコマンドサイクルの1クロック後から開始される。

#### 【0055】(5) プリチャージコマンド(Pr)

これはA12とA13によって選択されたメモリバンクに対するプリチャージ動作の開始コマンドとされ、/CS, /RAS, /WE=ロウレベル、/CAS=ハイレベルによって指示される。

#### 【0056】(6) オートリフレッシュコマンド

このコマンドはオートリフレッシュを開始するために必要とされるコマンドであり、/CS, /RAS, /CAS=ロウレベル、/WE, CKE=ハイレベルによって

指示される。

【0057】(7) ノーオペレーションコマンド (No p)

これは実質的な動作を行わないこと指示するコマンドであり、/CS=ロウレベル、/RAS、/CAS、/WEのハイレベルによって指示される。

【0058】DDR SDRAMにおいては、1つのメモリバンクでバースト動作が行われているとき、その途中で別のメモリバンクを指定して、ロウアドレスストローブ・バンクアクティブコマンドが供給されると、当該実行中の方のメモリバンクでの動作には何ら影響を与えることなく、当該別のメモリバンクにおけるロウアドレス系の動作が可能にされる。

【0059】したがって、例えば16ビットからなるデータ入出力端子においてデータD0-D15が衝突しない限り、処理が終了していないコマンド実行中に、当該実行中のコマンドが処理対象とするメモリバンクとは異なるメモリバンクに対するプリチャージコマンド、ロウアドレスストローブ・バンクアクティブコマンドを発行して、内部動作を予め開始させることができある。この実施例のDDR SDRAMは、上記のように16ビットの単位でのメモリアクセスを行い、A0~A11のアドレスにより約4Mのアドレスを持ち、4つのメモリバンクで構成されることから、全体では約256Mビット(4M×4バンク×16ビット)のような記憶容量を持つようにされる。

【0060】DDR SDRAMの詳細な読み出し動作は、次の通りである。チップセレクト/CS、/RAS、/CAS、ライトイネーブル/WEの各信号はCLK信号に同期して入力される。/RAS=0と同時にアドレスとバンク選択信号が入力され、それぞれロウアドレスバッファ205とバンクセレクト回路212で保持される。バンクセレクト回路212で指定されたバンクのロウデコーダ210がロウアドレス信号をデコードしてメモリセルアレイ200から行全体のデータが微小信号として出力される。出力された微小信号はセンスアンプ202によって増幅、保持される。指定されたバンクはアクティブ(Active)になる。

【0061】行アドレス入力から3CLK後、CAS=0と同時に列アドレスとバンク選択信号が入力され、それぞれがカラムアドレスバッファ206とバンクセレクト回路212で保持される。指定されたバンクがアクティブであれば、保持された列アドレスがカラムアドレスカウンタ207から出力され、カラムデコーダ203が列を選択する。選択されたデータがセンスアンプ202から出力される。このとき出力されるデータは2組分である(×4ビット構成では8ビット、×16ビット構成では32ビット)。

【0062】センスアンプ202から出力されたデータはデータ出力回路211からチップ外へ出力される。出

力タイミングはDLL214から出力されるQCLKの立ち上がり、立ち下がりの両エッジに同期する。この時、上記のように2組分のデータはパラレル→シリアル変換され、1組分×2のデータとなる。データ出力と同時に、DQSバッファ215からデータストローブ信号DQSが出力される。モードレジスタ213に保存されているバースト長が4以上の場合、カラムアドレスカウンタ207は自動的にアドレスをインクリメントされて、次の列データを読み出すようにされる。

【0063】上記DLL214の役割は、データ出力回路211と、DQSバッファ215の動作クロックQCLKを生成する。上記データ出力回路211とDQSバッファ215は、DLL214で生成された内部クロック信号QCLKが入力されてから、実際にデータ信号やデータストローブ信号が出力されるまでに時間がかかる。そのため、後述するようなレプリカ回路を用いて内部クロック信号QCLKの位相を外部CLKよりも進める事により、データ信号やデータストローブ信号の位相を外部クロックCLKに一致させる。したがって、この場合、外部クロック信号と位相が一致させられるのは上記データ信号やデータストローブ信号である。

【0064】図7には、この発明に係るDLLの一実施例の全体ブロック図が示されている。同図には、DLLデジタル部4を中心としたDLLの全体図が示されている。DLLデジタル部4は、クロック入力回路2091を介して入力された外部クロック信号ECLK\_Tと内部クロック信号ICLKとを同位相にするようにDLLアナログ部3を制御する。

【0065】この実施例のDLLでは、ハーモニックロックを防ぐため上記外部クロック信号ECLK\_Tと内部クロック信号ICLKとは分周回路401でそれぞれ4分周される。上記のように外部クロック信号ECLK\_Tを4分周したECLK4と内部クロック信号ICLKを4分周したICLK4の位相を位相比較器402で比較する。スタート制御回路403は、上記位相比較を行った結果であるEARLY\_INTの波形を見てTURBO信号とTURBO1信号を出力する。パルス発生回路404は、アップ(UP)信号とダウン(DOWN)信号を出力して、DLLアナログ部3に設けられたチャージポンプの動作を制御する。

【0066】この実施例では、チャージポンプテストパルス発生回路405が設けられており、この回路が出力する後述するようなCP\_PULSE信号が上記アップ信号UP及びダウン信号DOWNの代わりになって、DLLアナログ部3に設けられたチャージポンプの動作を制御してそのテストを行うようにされる。なお、図面の簡素化のために、この発明に直接関係のない細かな制御信号などは省かれている。

【0067】上記分周回路401には、上記クロック入力回路2091を通したクロック信号ECLK\_Tと、

レプリカ (Replica Delay) 406 を通した内部クロック信号 ICLK とが供給される。この結果、それぞれ4分周された ECLK 4 と ICLK 4 が位相比較器 402 で位相比較される。上記レプリカ回路 406 は、上記クロック入力回路 2091 と、上記データ出力回路 211 又は DQS バッファ (出力回路) 215 と同一の回路で構成された遅延回路であり、これにより、DLL アナログ部 3 では、クロック入力回路 2091 やデータ出力回路 211 (又は DQS バッファ 215) 分だけ進んだ位相の内部クロック信号 QCLK を生成するので、外部クロック信号 CLK\_T と、例えば上記データ出力回路 211 を通したデータ信号あるいは DQS バッファ 215 を通して出力されるクロック信号とが同位相にされる。

【0068】図8には、上記 DLL アナログ部 3 に含まれる可変遅延回路の一実施例の回路図が示されている。可変遅延回路 303 は可変遅延素子とバイアス回路から構成される。可変遅延素子は差動インバータを2つ直列に接続した構成で、電流源の電流を NBIAS で制御する事により遅延量を可変させる。上記2つの差動インバータの回路が示されており、回路記号が付された前段の回路を例にして説明すると、Nチャンネル型の差動 MOSFET Q1 と Q2 の共通化されたソースと回路の接地電位との間に上記 NBIAS で電流が変化させられる可変電流源としての Nチャンネル型 MOSFET Q7 と Q8 が並列形態に設けられる。

【0069】上記差動 MOSFET Q1 と Q2 のドレインと電源電圧 VDD との間には、負荷回路としてのダイオード接続の Pチャンネル型 MOSFET Q3、Q4 がそれぞれ設けられる。また、差動出力信号の変化を急峻にするために、ゲートとドレインとが相互に接続されたラッチ形態の Pチャンネル型 MOSFET Q5 と Q6 が上記ダイオード接続の MOSFET Q3 と Q4 に対して並列形態に設けられる。上記差動 MOSFET Q1 と Q2 のドレイン出力が、次段回路の入力信号として差動 MOSFET のゲートに供給される。上記のような2つの差動インバータを複数段縦列形態に接続して、可変遅延回路 303 が形成され、そのうち最終段から 0 ないし N の複数に出力タップ TAPNO, TAPP0~TAPNN, TAPPN が設けられる。前記図2の実施例では、上記出力タップは6つされる。

【0070】バイアス回路は、制御電圧 VB を MOSFET Q9 で電流信号に変換し、それを単純なカレントミラーを用いて上記各差動インバータの電流源 MOSFET と接続されているが、制御電圧-遅延量特性を補正するバッファ回路等を用いてもよい。可変遅延回路の出力は、上記のように複数 (例えば6組) の出力タップを設けられており、これらの出力のうち1つの出力を選択する事によって、可変遅延回路の段数を変化する事が出来る。

【0071】図9には、上記 DLL アナログ部 3 に含ま

れるチャージポンプ回路の一実施例の回路図が示されている。この実施例のチャージポンプ回路には、DLL のロックインサイクルが短くするために、信号 ENB がゲートに供給される Pチャンネル型 MOSFET Q11 からなる  $\Delta$ Delay 小モード用電流源、ゲートに信号 TURBO が供給される Nチャンネル型 MOSFET Q22 からなる  $\Delta$ Delay 中モード用電流源、ゲートに信号 TURBO1B が供給される Pチャンネル型 MOSFET Q21 からなる  $\Delta$ Delay 大モード用電流源と、上記  $\Delta$ Delay 小モード用電流源の電流を伝えるカレントミラーバイアス Q12~Q20 と双方向スイッチ Q23~Q26 から構成される。

【0072】信号 ENB がハイレベルで、ENT がロウレベルにされる DLL の非動作状態のときにスイッチ MOSFET Q15 と Q16 がオフ状態に、スイッチ MOSFET Q17 と Q18 がオン状態になって、 $\Delta$ Delay 小モード用電流源とカレントミラーハイ回路の動作を停止させ、低消費電力動作にされる。このとき、信号 TURBO と TURBO1B により MOSFET Q22 と Q21 はオフ状態にされる。これらの3つの  $\Delta$ Delay 小モード用電流源、 $\Delta$ Delay 中モード用電流源、 $\Delta$ Delay 大モード用電流源を用いた高速ロックインサイクル動作は波形図を用いて後に説明する通りである。

【0073】図10には、上記 DLL アナログ部 3 に含まれる出力アンプの一実施例の回路図が示されている。前記図8に示したような差動インバータを用いた可変遅延回路の出力信号は、振幅が VDD ではなく小さいため、振幅を VDD のような動作電圧のフル振幅に増幅しなければならない。そのために出力アンプ 305 が必要になるものである。出力アンプは MOSFET Q30~Q35 からなるようなカレントミラーアンプと MOSFET Q37~Q40 からなるクロックドインバータの組み合わせが2組で構成される。制御信号 ENT = VD D, ENB = 0 (VSS 又は GND) の時はカレントミラーアンプが動作して、出力が有効になるが、ENT = 0, ENB = VCC の時はカレントミラーアンプが動作せず、出力はハイインピーダンスになる。

【0074】前記図2では、6つの出力アンプの出力が共通に接続されているが、6つの出力アンプのうち1つだけが上記のような信号 ENT と ENB により有効出力となっており、前記のような信号増幅とともに可変遅延回路の段数切り替えを行うようにも用いられる。

【0075】図11には、上記 DLL アナログ部 3 に含まれる制御電圧固定回路の一実施例の回路図が示されている。前記のような可変遅延回路の制御電圧-遅延量特性を測定する時、制御電圧の値を外部から与えなければならない。プローブで外部から制御電圧を固定してもよいが、プローブ無しで測定できたほうが、大掛かりな装置が必要ないし、実際の条件に合わせた測定が出来る (パッケージング、実装など) し、プローブからの雑音

が混入しない等の利点がある。

【0076】制御電圧固定回路はスイッチMOSFET Q50～Q52、分圧抵抗回路、双方向スイッチから構成される。ON信号がVDDになると、MOSFET Q52がオン状態となって、直列抵抗回路に電流が流れ抵抗分圧により電圧V0～V6が現れる。信号SET0～6のうち、1つだけだけをVDDのようなハイレベルにして、双方向スイッチのうち1つをオン状態にして、電圧V0～V6を制御電圧VBへ接続する事により可変遅延回路に対する制御電圧VBが固定できる。

【0077】図12には、この発明に係るクロック発生回路の動作の一例を説明するための波形図が示されている。DLIがリセットされた時、初期位相誤差は位相進みになるようになる。そのため、△Delay 大モードでのチャージダウン制御が開始される。この△Delay 大モードでは、位相誤差が進みであるため、位相比較出力はハイレベルとなり、1回の位相比較動作に対して2個のチャージアップ制御信号が形成される。このチャージアップ制御信号により、位相誤差は急峻に目標値に向かって変化する。

【0078】つまり、図9の回路で説明すると、信号TURBO1\_Bがロウレベルとなって大きな電流を流すPチャンネル型MOSFET Q21がオン状態にされている。そのため、ダウン信号DOWNのハイレベルとDOWN\_Bのロウレベルにより、Nチャンネル型MOSFET Q24とPチャンネル型MOSFET Q26がオン状態となって、上記信号DOWNとDOWN\_Bに対応して段階的に制御電圧VBを上昇させる。上記のような制御電圧VBの上昇に応じて、図8のPチャンネル型MOSFET Q9で形成される電流が減少し、可変遅延回路を構成する差動インバータの動作電流が減少し、遅延時間が増加して位相の進みを遅らせる方向に変化させる。

【0079】位相誤差が目標値である位相誤差0を超えると、△Delay 中モードに切り換えられる。上記△Delay 大モードはチャージダウン制御のみであるため、△Delay 中モードではチャージアップ制御のみとなる。このため、図9の実施例のように△Delay 大モード用チャージアップ電流源と△Delay 中モード用チャージダウン電

	TURBO	TURBO_B	TURBO1	TURBO1_B	ENT	ENB
大モード	VDD	0	VDD	0	VDD	0
中モード	VDD	0	0	VDD	VDD	0
小モード	0	VDD	0	VDD	VDD	0
オフモード	0	VDD	0	VDD	0	VDD

【0084】この実施例のDLIではリセット直後に可変遅延回路を最小遅延時間にするため、初期位相誤差は必ず進み側に出てくるようになる。リセット直後の初期位相誤差をすばやく位相誤差0付近へ近づけるため、位相比較時刻から次の位相比較時刻までの位相制御量△Delay を大きく取る△Delay 大モードにする。さらに、

流源は用意されていない。もちろん初期位相誤差の与えかたによっては両方とも必要になる事があるので、その場合は用意する必要がある。

【0080】図9の回路で説明すると、上記△Delay 大モードにより遅延誤差0を超えて遅れになった位相誤差を修正するために、信号TURBOがハイレベルとなって中電流を流すNチャンネル型MOSFET Q22がオン状態にされる。そのため、上記遅れを修正するために位相比較出力がロウレベルとなり、それにより形成されたアップ信号UPのハイレベルとUP\_Bのロウレベルにより、Nチャンネル型MOSFET Q23とPチャンネル型MOSFET Q25がオン状態となって、上記信号UPとUP\_Bに対応して段階的に制御電圧VBを逆に下降させる。上記のような制御電圧VBの下降に応じて、図8のPチャンネル型MOSFET Q9で形成される電流が増加し、可変遅延回路を構成する差動インバータの動作電流を増加させて上記遅延時間を減少させて位相の遅れを修正する方向に変化させる。

【0081】上記△Delay 中モードにより位相誤差が目標値である位相誤差0を超えると、△Delay 小モードに切り換えられる。△Delay 小モードはMOSFET Q11で形成された小さな電流によるチャージアップ制御とチャージダウン制御が位相比較出力に対応して行われる。このとき、1回の位相比較結果に対して、△Delay 大モードや△Delay 中モードのように2個のパルス(UP/DOWN)を形成するのではなく、1個のパルスが発生させられる。これにより、△Delay 小モードでは、位相誤差0に対する誤差分を極力小さくしている。

【0082】この実施例では、上記のように△Delay 大モードや△Delay 中モードのようにモードによって、必要とされない電流源やバイアス回路が存在するため、TURBO信号、TURBO\_B信号、TURBO1信号、TURBO1\_B信号、ENT信号、ENB信号によって、回路のオン、オフを制御する。それぞれのモードでの信号の値は以下の通りである。なお、パワーオフモードは、チャージポンプの動作を停止して電流消費を抑えるモードである。

【0083】

位相制御量を大きくするために、チャージポンプの電流を大きくするだけではなく、制御回数も2回にしている。なお、初期位相誤差は進み側に出るため、位相比較器の出力はVDDのようなハイレベルである。△Delay 大モードで何回か制御を行うと、位相誤差は0を越えオーバーシュートする。オーバーシュートした次の位相

較時刻で、位相比較器の出力は0に変化する。この時 $\Delta$ Delay 大モードから $\Delta$ Delay 中モードへ遷移する。

【0085】 $\Delta$ Delay 中モードではチャージポンプの電流を若干絞り、制御回数は変化させずに動作させる。 $\Delta$ Delay 中モードで何回か制御を行うと、位相誤差は再び0を越え今度はアンダーシュートする。アンダーシュートした次の位相比較時刻で、位相比較器の出力はVDDに変化する。この時 $\Delta$ Delay 中モードから $\Delta$ Delay 小モードへ遷移する。 $\Delta$ Delay 小モードではチャージポンプの電流を絞り、制御回数も1回に減らす。これにより1回の位相比較におけるDelayの制御量は最小設定になる。 $\Delta$ Delay 小モードで、位相誤差が0を越えた後は、チャージダウン制御信号とチャージアップ制御信号が、ほぼ交互に出力され、位相誤差は0付近で振動する。この状態がロックイン状態である。よって、位相比較器の出力波形だけに注目すると、DLLリセットから位相比較器出力が2回VDDから0へ遷移するまでがロックインサイクルとなる。

【0086】この実施例には、アナログ制御回路であるチャージポンプでの新しい駆動方式が示されている。従来の駆動方式であるPFDの欠点である不感帯をなくし、ロックインサイクルを短くすることができる。不感帯は、位相比較器により位相の進みと遅れのみを判定し、その位相比較出力により上記のように制御電圧VBが変化させられる結果、位相誤差0の目標値を超えた時点で遅延量を逆方向に変化させるという単純な制御方法により実現される。上記のような不感帯はトランジスタの性能、配線長に左右されるため、かかる不感帯を無く

$\Delta$ Delay大モード	TURBO = VDD	TURBO1 = VDD
$\Delta$ Delay中モード	TURBO = VDD	TURBO1 = 0
$\Delta$ Delay小モード	TURBO = 0	TURBO1 = 0

【0090】図15には、上記位相比較器とステート制御回路の一実施例の回路図が示されている。位相比較器402は図の通り一般的なフリップフロップ回路で構わない。外部クロック信号ECLK4よりも先に内部クロック信号ICLK4が立ち上がりれば、位相比較出力EARLY\_INTはVDDが出力され、内部クロック信号ICLK4よりも先に外部クロック信号ECLK4が立ち上がりれば位相比較出力EARLY\_INTは0(ロウレベル)が出力される。

【0091】ステート制御は、まずDLL\_EN信号が0の時、すべてのフリップフロップ回路がVDD(ハイレベル)にセットされる。その後、EARLY\_INTが変化するたびに、次々とフリップフロップ回路FF2～FF4の出力Qが0になってゆき、TURBO信号、TURBO1信号が出力される。最後のLOCK信号がVDDになればDLLはロック状態に移行したと判断できる。

【0092】図16には、前記パルス発生回路の一実施例の回路図が示されている。パルス発生回路404は、

ことによりプロセス、レイアウトに左右されない設計が容易になる。

【0087】図13には、この発明に係るクロック発生回路の動作の一例を説明するための波形図が示されている。この実施例では、 $\Delta$ Delay一定方式におけるロックイン中の様子が示されている。図12では、チャージダウン制御信号とチャージアップ制御信号はほぼ交互に出力されると説明した。チャージポンプはアナログ回路であるので、チャージアップ量とチャージダウン量を正確に一致させる事は出来ない。よって、 $\Delta$ Delay(Down)と $\Delta$ Delay(Up)には図のように若干のアンバランスがある。このアンバランスが、時間とともに位相誤差を増大させ、ついには片方の制御信号が2回連続で出力される事になる(2回連続した制御信号出力)。よって、ジッタ(Jitter)の大きさは $2 \times \Delta$ Delayとなる。同図の例では $\Delta$ Delay(Down) >  $\Delta$ Delay(Up)の場合を取り上げたが、逆の場合も同様である。

【0088】図14には、この発明に係るクロック発生回路に含まれるステート制御回路のステート遷移図が示されている。ステート制御回路403は、図7のDLLデジタル回路部に含まれ、DLLアナログ部3に供給される信号TRBO、TRBO1を形成する。DLL\_EN=0V(VSS)の場合はDLLを停止するステートに入っており、DLL\_EN=VDDになると、位相比較器402から出力される位相比較出力EARLY\_INTの変化を見て次のようなステート制御を行う。

【0089】

位相比較出力EARLY\_INT信号を基に、UP信号及びDOWN信号を発生する回路である。パルス発生回路404はECLK\_Tで同期を取る事により安定したパルス幅で出力する事が可能だが、反面クロック周期より短いパルスを出力する事が出来ない。ECLK2はECLK\_Tを2分周した信号である。

【0093】図17には、前記パルス発生回路の他の一実施例の回路図が示されている。この実施例では、Delay回路を用いて、任意のパルス幅を出力するよう工夫されている。あまり狭い幅のパルスでは初期位相誤差の引き込みが遅くなるので、パルス幅を“位相差+3.0ns”となるように設計されたものである。この実施例のパルス発生回路では $\Delta$ Delayが一定ではなくなるが、 $\Delta$ Delay一定制御の要点は、位相差=0の地点でも $\Delta$ Delay ≠ 0である事なので問題ない。

【0094】図18には、前記4分周回路の一実施例の回路図が示されている。この実施例の4分周回路は、1ckロック2ckロック切り替え式とされる。この実施例のDLLは2ckロックを採用するため、位相比較を

行う前にECLK\_TとICLKを4分周して、ハーモニックロックを防ぐ必要がある。よって、ECLK\_TとICLKの位相が同じならば、ECLK4よりICLK4が720°位相が進むようにリセットを行う。

【0095】その後、可変遅延回路とレプリカ回路(Replica Delay)でICLKの位相を720°(2ck)遅らせる事により、ECLK4とICLK4が同位相になりロックする。このとき、ICLK4の位相進みが720°ではなく、360°であれば、1ckロックを行

CK\_LOCKの値 ECLK4の位相 ICLK4の位相

0	720°
1	360°

【0097】図19には、前記チャージポンプテストパルス発生回路の一実施例の回路図が示されている。アナログ制御方式のDLLはデジタル制御方式と比較して、内部回路の状態を外部からテストする事が困難である。困難である事の1つにチャージポンプの動作がある。チャージポンプが1回動作した時に、可変遅延回路のディレイ量がどの程度変化するかをテストするためにパルス発生回路が必要になる。チャージポンプテストパルス発生回路は、CP\_SET0-3で設定された回数のパルスCP\_PULSE(幅はtCK/2)を出力する回路である。このパルスでチャージポンプを動作させる事により、外部設定であるCP\_SET0-3でチャージポンプの動作をテストする事が可能である。信号PULSE\_ENがハイレベルになることで、上記CP\_PULSEの出力がはじまる。

【0098】図20には、この発明に係る半導体集積回路装置におけるメモリチップとリードフレームとの関係を示す一実施例の平面図が示されている。メモリチップには、いくつかのVDD、VSSパッドがあり、VDD\_DLL、VSS\_DLLもそのひとつである。ただし、VDD\_DLL、VSS\_DLLには専用のボンディングパッドとリードフレームが割り当てられており、電源配線からのノイズの周り込みを防止している。

【0099】図21には、この発明に係る半導体集積回路装置における静電保護回路の一実施例の回路図が示されている。この実施例では、前記のように可変遅延回路等のDLLに動作電圧を供給する専用のパッドVDD\_DLLとVSS\_DLLが設けられる。これらの専用のパッドVDD\_DLLとVSS\_DLLに対するESD対策として、次の各素子が設けられる。

【0100】VDD\_DLLパッドに対してはVSS配線との間に、ダイオードD70とダイオード接続のMOSFETQ70が並列形態に設けられ、VDD配線との間に、ダイオード形態のMOSFETQ71とQ72が並列形態に設けられる。同様に、VSS\_DLLパッドに対してはVSS配線との間に、ダイオードD72とD73が並列形態に設けられ、VDD配線との間に、ダイオード形態のMOSFETQ73とダイオードD7

う。よって、1つの回路で1ckロックと2ckロックを行う事が可能である。上記4分周器に使用されるフリップフロップ回路は、一般的のフリップフロップ回路と違い、セット端子とリセット端子の両方を備えている。1CK\_LOCK信号により、リセット信号が立ち下がった直後の位相を変化する事が出来る。1CK\_LOCKの変化によるリセット直後の位相の変化は以下の通りである。

【0096】

CK\_LOCKの値 ECLK4の位相 ICLK4の位相

0°	720°
0°	360°

1が並列形態に設けられる。

【0101】このように半導体集積回路装置では、デバイスの搬送時や組み立て時等での取り扱い時に発生する静電気によって内部素子が破壊されてしまうのを防ぐために静電保護回路が設けられる。したがって、かかる静電保護回路を介して、上記のような独立に形成された電源パッドVDD\_DLLやVSS\_DLLも、他の内部回路に動作電圧を供給するVDDやVSSと広い意味あるいは形式的には電気的に接続されているということができる。

【0102】しかしながら、これらの静電保護回路は、半導体集積回路装置の通常の動作状態では電流が流れないので電気的に接続された状態とは言えない。つまり、上記VDDやVSSに発生した電源ノイズやその電圧変動は、上記VDD\_DLLやVSS\_DLLに伝えられることはない。したがって、本願発明に係るクロック発生回路の動作でみた場合には、上記VDDやVSSと上記VDD\_DLLやVSS\_DLLは電気的に分離されているということができる。

【0103】上記の実施例から得られる作用効果は、下記の通りである。

(1) 外部端子から入力された入力クロック信号を受ける可変遅延回路を通した遅延信号に基づいて形成された信号と、上記入力クロック信号とを位相比較し、両者が一致するように上記可変遅延回路の遅延時間を制御して内部クロック信号を形成する制御回路とを含むクロック発生回路を備えた半導体集積回路装置において、上記クロック発生回路のうち、上記可変遅延回路とその遅延制御信号を形成する回路とを構成する素子形成領域を、同じ半導体基板上に形成されるデジタル回路を構成する素子形成領域とを素子分離技術により電気的分離することによって、デジタル回路の動作により発生する基板電位の変化の影響を得ることない安定して遅延動作による高精度の位相同期化を実現することができるという効果が得られる。

【0104】(2) 上記に加えて、可変遅延回路、及びチャージポンプ回路の各回路を、第1導電型にされた共通の半導体基板上において、深い深さに形成された第

2導電型のウェル領域上にそれぞれ形成され、浅い深さに形成された第1導電型又は第2導電型のウェル領域に形成されるという3重ウェルによる素子分離技術を用いることにより、簡単な製造プロセスにより実現できるという効果が得られる。

【0105】(3) 上記に加えて、可変遅延回路とチャージポンプ回路を、上記デジタル回路に供給される動作電圧を供給する電源端子とは異なる専用のボンディングパッド及びリードを介した動作電圧で動作させることにより、電源供給経路からのノイズや電圧変動の影響を受けることがなく、より安定した可変遅延回路の遅延動作によりいっそうの高精度化を実現することができるという効果が得られる。

【0106】(4) 上記に加えて、上記深い深さに形成された第2導電型のウェル領域の周辺部にMOS容量素子を形成し、上記動作電圧の安定化容量として用いることにより、半導体集積回路装置が搭載される実装基板側の共通化された電源供給線を介したノイズも吸収することができるから、より安定した可変遅延回路の遅延動作によりいっそうの高精度化を実現することができるという効果が得られる。

【0107】(5) 上記に加えて、上記可変遅延回路に入力される入力クロック信号を取り込むクロック入力バッファと、遅延信号を出力させるクロック出力バッファとを更に備え、上記クロック入力バッファと上記クロック出力バッファとを上記深い深さに形成された第2導電型のウェル領域上に形成することにより、信号伝達経路に含まれるノイズによって、上記可変遅延回路やその遅延制御信号が影響を受けることなく、より安定した可変遅延回路の遅延動作によりいっそうの高精度化を実現することができるという効果が得られる。

【0108】(6) 上記に加えて、上記入力クロック信号を分周する第1分周回路をクロック発生回路の動作開始時にリセットし、上記内部クロック信号を分周する第2分周回路は、選択的に所定の初期値を与えることにより、位相の同期を探る外部クロックの2クロック遅れのクロック信号か1クロック遅れのクロック信号かのいずれかの選択を行うようにすることができるという効果が得られる。

【0109】(7) 上記に加えて、上記第1、第2分周回路及び上記レプリカ遅延回路、並びに上記位相比較回路を、上記可変遅延回路やその遅延制御信号を形成する回路が形成される素子形成領域とは電気的に分離された素子形成領域に形成することにより、フル振幅で動作するデジタル回路で発生する電源ノイズ等がアナログ回路部に伝えられるのを防止することができ、より安定した可変遅延回路の遅延動作によりいっそうの高精度化を実現することができるという効果が得られる。

【0110】(8) 上記に加えて、複数からなるダイナミック型メモリセルのアドレス選択端子がそれぞれに

接続されてなる複数のワード線と、複数からなるダイナミック型メモリセルがそれぞれに接続されてなる複数対の相補ビット線対と、動作タイミング信号に対応して動作電圧が与えられ、上記相補ビット線対の信号をそれぞれ増幅する複数からなるラッチ回路からなるセンスアンプとを含むダイナミック型RAMに上記クロック発生回路を搭載し、上記クロック発生回路を構成する上記可変遅延回路とその遅延制御信号を形成する回路を、上記センスアンプに供給される動作電圧を供給する電源端子とは異なる専用のボンディングパッド及びリードが設けられて動作電圧が供給することにより、センスアンプからの大きなノイズに影響されることなく、安定した可変遅延回路の遅延動作によりいっそうの高精度化を実現することができるという効果が得られる。

【0111】(9) 外部端子から入力された入力クロック信号を遅延させる可変遅延回路の遅延信号に基づいて形成された信号と、上記入力クロック信号とを位相比較し、両者が一致するように上記可変遅延回路の遅延時間を制御して内部クロック信号を形成する制御回路とを備えたクロック発生回路を含む半導体集積回路装置において、上記クロック発生回路のうち少なくとも可変遅延回路は、同じ基板上に形成されたデジタル回路の動作電圧の供給経路とは異なる専用のボンディングパッド及びリードを設けて動作電圧を供給することにより、デジタル回路の動作により発生する電源電圧の変化の影響を得ることない安定して遅延動作による高精度の位相同期化を実現することができるという効果が得られる。

【0112】(10) 上記に加えて、複数からなるダイナミック型メモリセルのアドレス選択端子がそれぞれに接続されてなる複数のワード線と、複数からなるダイナミック型メモリセルがそれぞれに接続されてなる複数対の相補ビット線対と、動作タイミング信号に対応して動作電圧が与えられ、上記相補ビット線対の信号をそれぞれ増幅する複数からなるラッチ回路からなるセンスアンプとを含むダイナミック型RAMに上記クロック発生回路を搭載し、上記クロック発生回路のうち少なくとも可変遅延回路に対して、上記センスアンプに供給される動作電圧を供給する電源端子とは異なる専用のボンディングパッド及びリードを設け動作電圧を供給することにより、センスアンプからの大きなノイズに影響されることなく、安定した可変遅延回路の遅延動作によりいっそうの高精度化を実現することができるという効果が得られる。

【0113】(11) 上記に加えて、上記デジタル回路は、更に外部端子から供給される入力信号を受ける入力回路及び外部端子へ出力信号を送出する出力回路を備え、上記入力回路及び出力回路には、上記クロック発生回路及び上記センスアンプに供給される動作電圧を供給する電源端子とは異なる専用のボンディングパッド及びリードが設けられて動作電圧が供給されるようにするこ

とにより、クロック発生回路及びセンスアンプのそれが出力回路からの大きなノイズに影響されることなく、安定した可変遅延回路の遅延動作やセンスアンプ動作を行わせることができるという効果が得られる。

【0114】(12) 外部端子から入力された入力クロック信号を遅延させる可変遅延回路の遅延信号と、上記入力クロック信号とを位相比較回路で位相比較し、両者が一致するように上記可変遅延回路の遅延時間を制御して内部クロック信号を形成する制御回路とを含むクロック発生回路を備え、上記制御回路は、上記可変遅延時間が目標値を超えた時点で、その遅延量を逆方向に戻すように上記可変遅延回路を制御することにより、従来の駆動方式であるPFDの欠点である不感帯をなくすことができ、かかる不感帯をなくすことによりトランジスタの性能や配線長に位相誤差が左右されなくなり、設計を容易にすることができるという効果が得られる。

【0115】(13) 上記に加えて、位相比較回路による位相比較動作毎の上記可変遻延回路の遅延時間の変化量を、ほぼ一定とすることにより、ロックイン状態での位相誤差を最大でその2倍までに小さくすることができるという効果が得られる。

【0116】(14) 上記位相比較回路による位相比較動作毎の上記可変遻延回路の遅延時間の変化量を、動作状態に対応して変化させることにより、それぞれの動作状態に応じた最適な応答性と安定性とを実現することができるという効果が得られる。

【0117】(15) 上記に加えて、上記可変遻延回路の遅延時間の変化量は、クロック発生回路の動作開始から上記目標値を超えるまでの第1期間では大きく、上記第1期間から遅延時間が目標値より小さくなるまでの第2期間では、上記第1期間での遅延時間の変化量よりも小さく、上記第2期間以降は上記第2期間よりも更に小さく設定することにより、DLL動作開始時からロックインに至るロックインサイクルを短くしつつ、ロックイン状態での安定化を図ることができるという効果が得られる。

【0118】(16) 上記に加えて、上記可変遻延回路の遅延時間の変化量は、位相同期動作を損なわない範囲で上記可変遻延回路の遅延時間が目標値を超える度に小さくすることにより、応答性を改善しつつ、ロックイン状態での安定化を図ることができるという効果が得られる。

【0119】(17) 上記に加えて、上記位相比較回路は、位相差に対応してハイレベル又はロウレベルの位相比較信号を形成し、上記位相比較信号に対応して上記チャージポンプ回路に対してチャージアップ電流又はディスチャージ電流を流すパルス信号を形成することにより、回路の簡素化を図りつつ上記パルス発生回路の出力パルスにより応答性の切り換えも行うようにすることができるという効果が得られる。

【0120】(18) 上記に加えて、上記可変遻延回路の遅延時間量を、上記パルス信号の数と、かかるパルス信号により上記チャージポンプ回路のチャージ電流値との組み合わせにより簡単な回路により柔軟に所望の応答性を実現しつつ、安定性を図ることができるという効果が得られる。

【0121】以上本発明者よりなされた発明を実施例に基づき具体的に説明したが、本願発明は前記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、DLLは、デジタル制御デジタルDLLやデジタル制御アナログDLLであってもよい。これらのDLLの可変遻延回路でも、その電源電圧が変化すると、それに対応してMOSFETのゲートに供給される電圧が変化するので流れる電流が変化し、また、基板電圧が変化すると、基板効果によってMOSFETのしきい値電圧が変化して、それぞれドレイン電流を変動させる要因になるものである。したがって、この発明を適用することにより、これらのDLLでも可変遻延回路とその制御信号の安定化が図られるので出力されるクロック信号のジッタを小さくさせることができる。

【0122】上記DLLを構成する可変遻延回路やその制御信号を形成する回路を、他のデジタル回路とを電気的に分離する技術は、SOI (Silicon On Insulator) 構造を利用するものであってもよい。

【0123】半導体集積回路装置の高速化に伴い、クロック信号の高周波数化が進められており、1クロック周期はますます短くなるものである。したがって、上記クロック信号の位相のゆらぎであるジッタを小さくすることは、1クロック周期に含まれる時間マージンを小さくすることとなり、クロック周波数の高周波数化には極めて有益な技術になるものである。

【0124】この発明に係るクロック発生回路は、前記のようなシンクロナスDRAMの他に、クロック発生回路(又は再生回路)を搭載し、同期式入出力を持つ各種デジタル半導体集積回路装置に広く利用することができる。

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。外部端子から入力された入力クロック信号を受ける可変遻延回路を通した遅延信号に基づいて形成された信号と、上記入力クロック信号とを位相比較し、両者が一致するように上記可変遻延回路の遅延時間を制御して内部クロック信号を形成する制御回路とを含むクロック発生回路を備えた半導体集積回路装置において、上記クロック発生回路のうち、上記可変遻延回路とその遅延制御信号を形成する回路とを構成する素子形成領域を、同じ半導体基板上に形成されるデジタル回路を構成する素子形成領域とを素子分離技術により電気的分

離することによって、デジタル回路の動作により発生する基板電位の変化の影響を得ることない安定して遅延動作による高精度の位相同期化を実現することができる。

【0125】外部端子から入力された入力クロック信号を遅延させる可変遅延回路の遅延信号に基づいて形成された信号と、上記入力クロック信号とを位相比較し、両者が一致するように上記可変遅延回路の遅延時間を制御して内部クロック信号を形成する制御回路とを備えたクロック発生回路を含む半導体集積回路装置において、上記クロック発生回路のうち少なくとも可変遅延回路は、同じ基板上に形成されたデジタル回路の動作電圧の供給経路とは異なる専用のボンディングパッド及びリードを設けて動作電圧を供給することにより、デジタル回路の動作により発生する電源電圧の変化の影響を得ることない安定して遅延動作による高精度の位相同期化を実現することができる。

【0126】外部端子から入力された入力クロック信号を遅延させる可変遅延回路の遅延信号と、上記入力クロック信号とを位相比較回路で位相比較し、両者が一致するように上記可変遅延回路の遅延時間を制御して内部クロック信号を形成する制御回路とを含むクロック発生回路を備え、上記制御回路は、上記可変遅延時間が目標値を超えた時点で、その遅延量を逆方向に戻すように上記可変遅延回路を制御することにより、従来の駆動方式であるPFDの欠点である不感帯をなくすことができ、かかる不感帯をなくすことによりトランジスタの性能や配線長に位相誤差が左右されなくなり、設計を容易にすることができる。

#### 【図面の簡単な説明】

【図1】この発明が適用されるダイナミック型RAMの一実施例を示す概略レイアウト図である。

【図2】DLLアナログ部の一実施例を示すレイアウト図である。

【図3】この発明に係る半導体集積回路装置の一実施例を示す概略素子構造断面図である。

【図4】この発明に係る半導体集積回路装置の一実施例を示す概略素子構造断面図である。

【図5】この発明に係る半導体集積回路装置の他の一実施例を示す概略素子構造断面図である。

【図6】この発明が適用されるシンクロナスDRAMの一実施例を示す全体ブロック図である。

【図7】この発明に係るDLLの一実施例を示す全体ブロック図である。

【図8】DLLアナログ部に含まれる可変遅延回路の一実施例を示す回路図である。

【図9】DLLアナログ部に含まれるチャージポンプ回路の一実施例を示す回路図である。

【図10】DLLアナログ部に含まれる出力アンプの一実施例を示す回路図である。

【図11】DLLアナログ部に含まれる制御電圧固定回路の一実施例を示す回路図である。

【図12】この発明に係るクロック発生回路の動作の一例を説明するための波形図である。

【図13】この発明に係るクロック発生回路の動作の一例を説明するための波形図である。

【図14】この発明に係るクロック発生回路に含まれるステート制御回路のステート遷移図である。

【図15】上記DLLの位相比較器とステート制御回路の一実施例を示す回路図である。

【図16】上記DLLのパルス発生回路の一実施例を示す回路図である。

【図17】上記DLLのパルス発生回路の他の一実施例を示す回路図である。

【図18】上記DLLの4分周回路の一実施例を示す回路図である。

【図19】上記DLLのチャージポンプテストパルス発生回路の一実施例を示す回路図である。

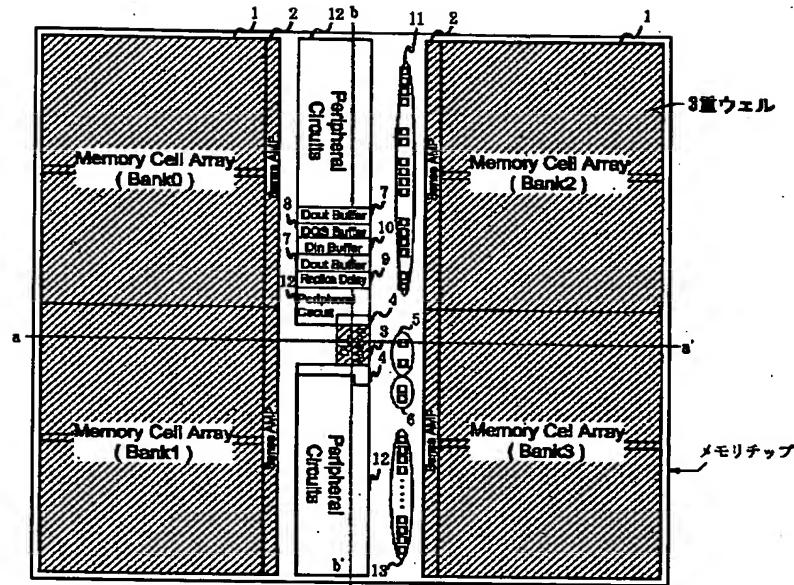
【図20】この発明に係る半導体集積回路装置におけるメモリチップとリードフレームとの関係を説明する平面図である。

【図21】この発明に係る半導体集積回路装置における静電保護回路の一実施例を示す回路図である。

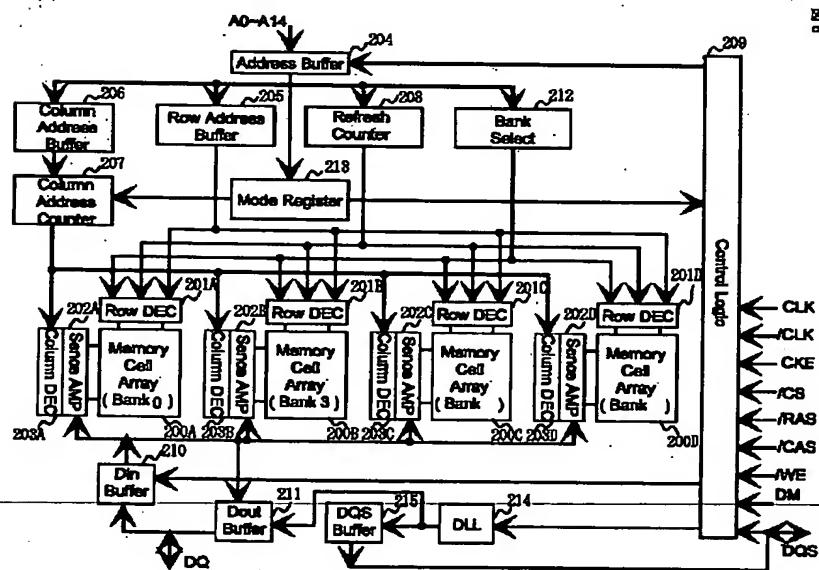
#### 【符号の説明】

1…メモリセルアレイ、2…センスアンプ、3…DLLアナログ部、4…DLLデジタル部、5…専用ボンディングパッド、6, 11, 13…ボンディングパッド列、7…データ出力回路、8…DQSバッファ、9…レプリカ回路、10…データ入力回路、12…周辺回路、301…入力バッファ、302…CLK入力バッファ、303…可変遅延回路、304…CLK出力バッファ、305…出力アンプ、306…PMOS容量、307…チャージポンプ、200A～D…メモリアレイ、201A～D…ロウデコーダ、202A～D…センスアンプ、203A～D…カラムデコーダ、204…アドレスバッファ、205…ロウアアドレスバッファ、206…カラムアドレスバッファ、207…カラムアドレスカウンタ、208…リフレッシュカウンタ、209…コントロール回路、210…データ入力回路、211…データ出力回路、212…バンクセレクト回路、213…モードレジスタ、214…DLL、214…DQSバッファ  
401…4分周回路、402…位相比較器、403…ステート制御回路、404…パルス発生回路、405…チャージポンプパルス発生回路、2091…クロック入力回路。

【図1】

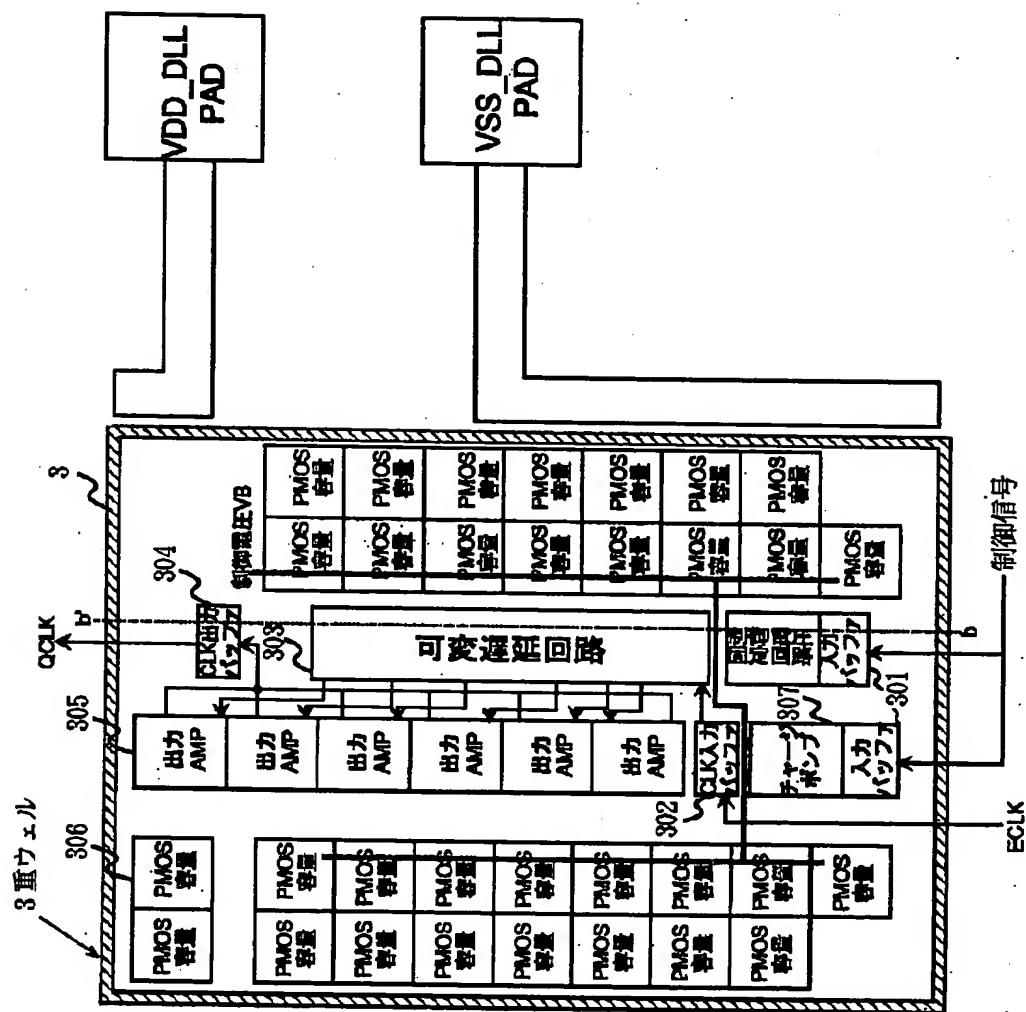


【図6】

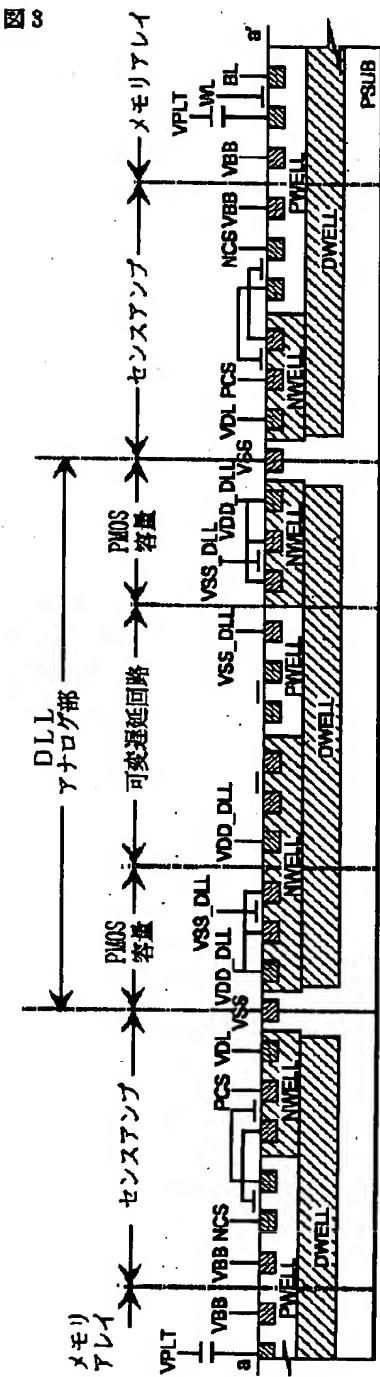


【図2】

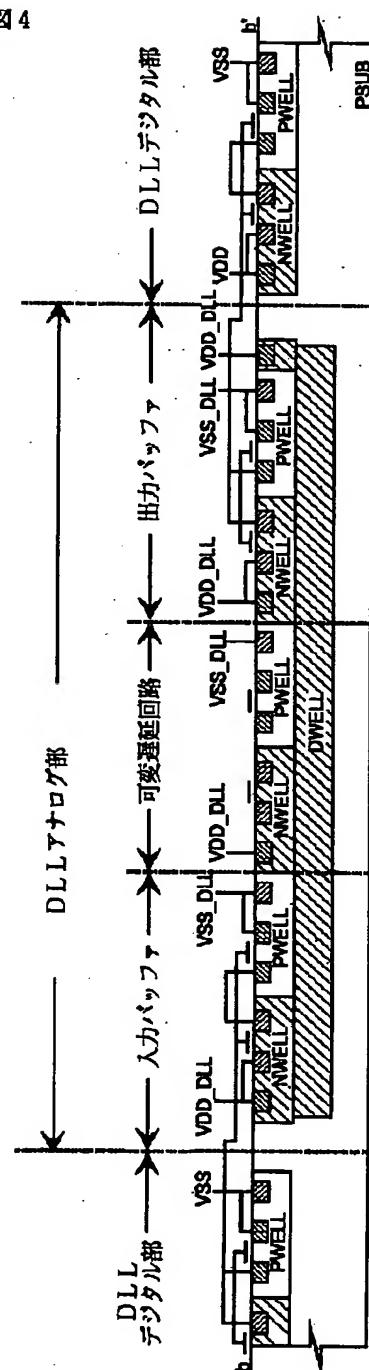
図2



〔図3〕

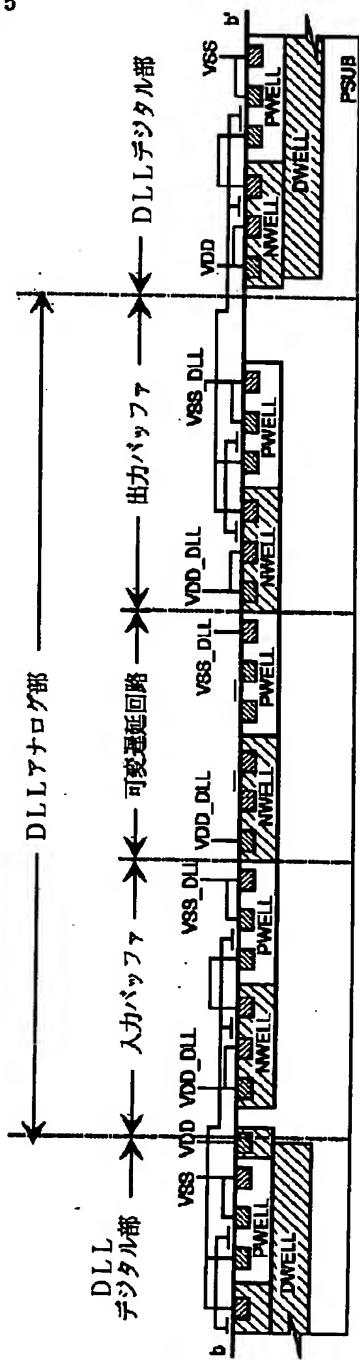


〔図4〕



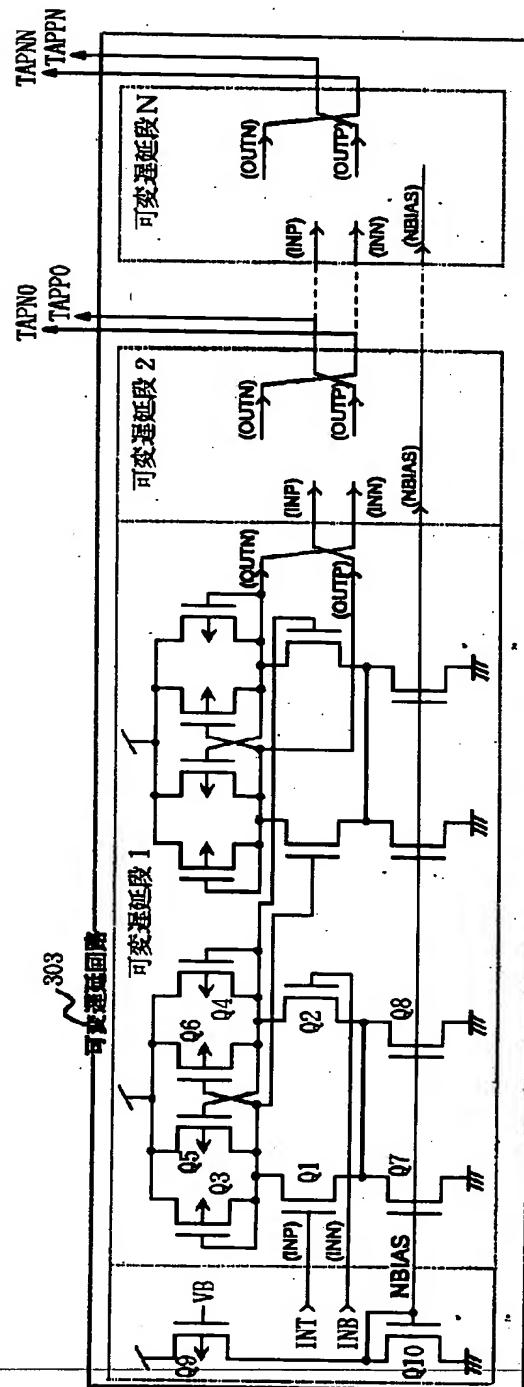
【図5】

図5

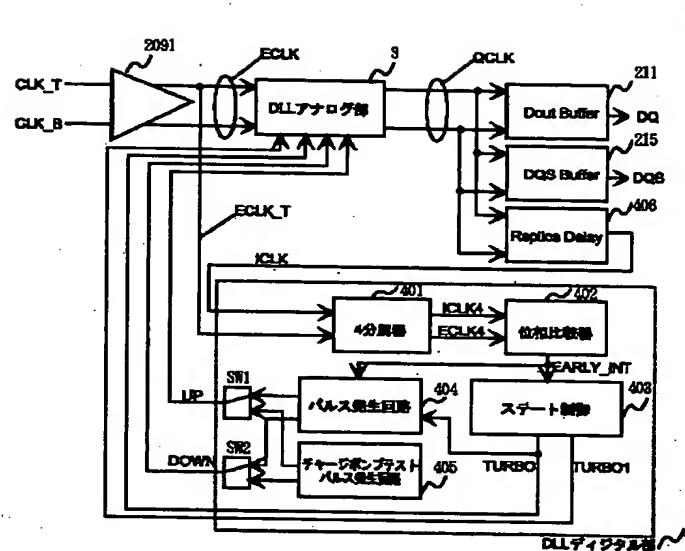


【図8】

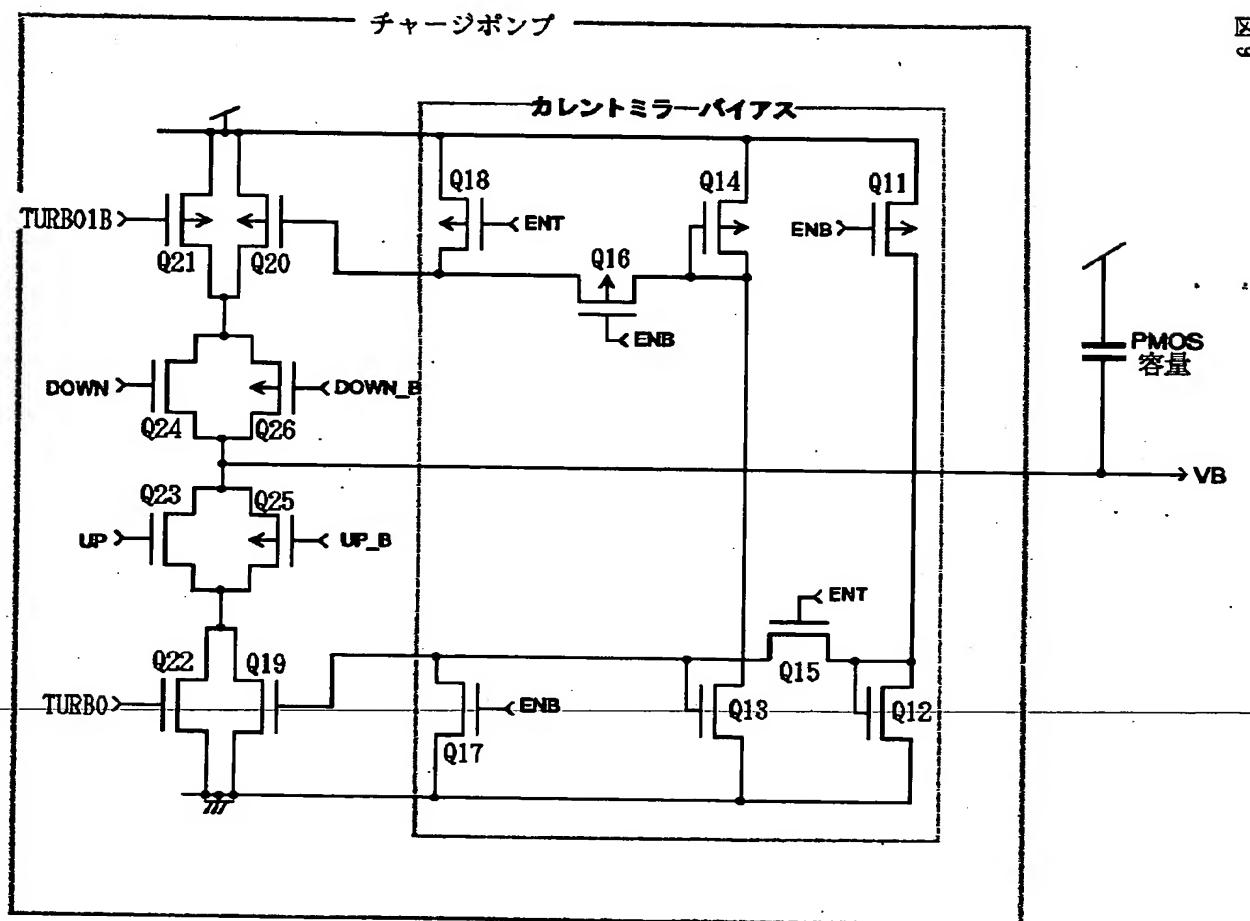
図8



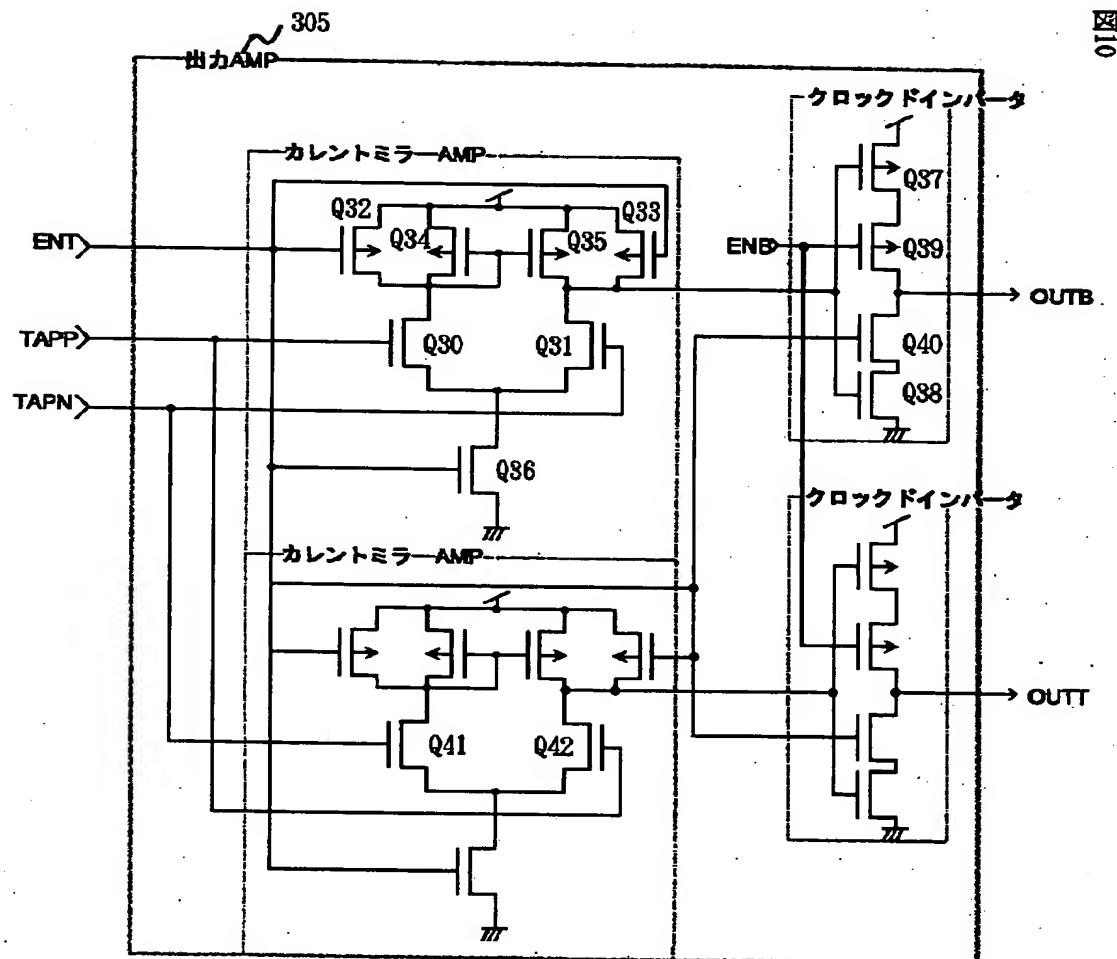
【図7】



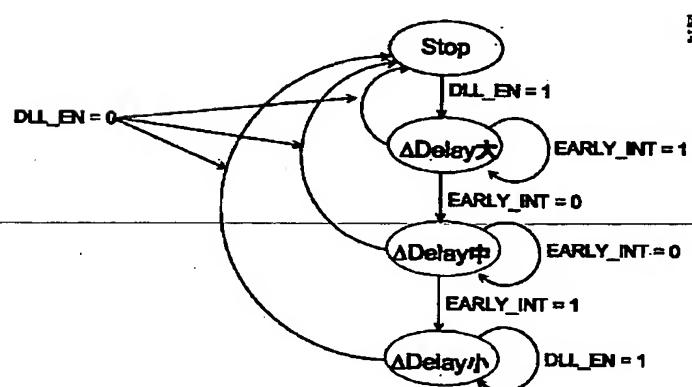
【図9】



【図10】

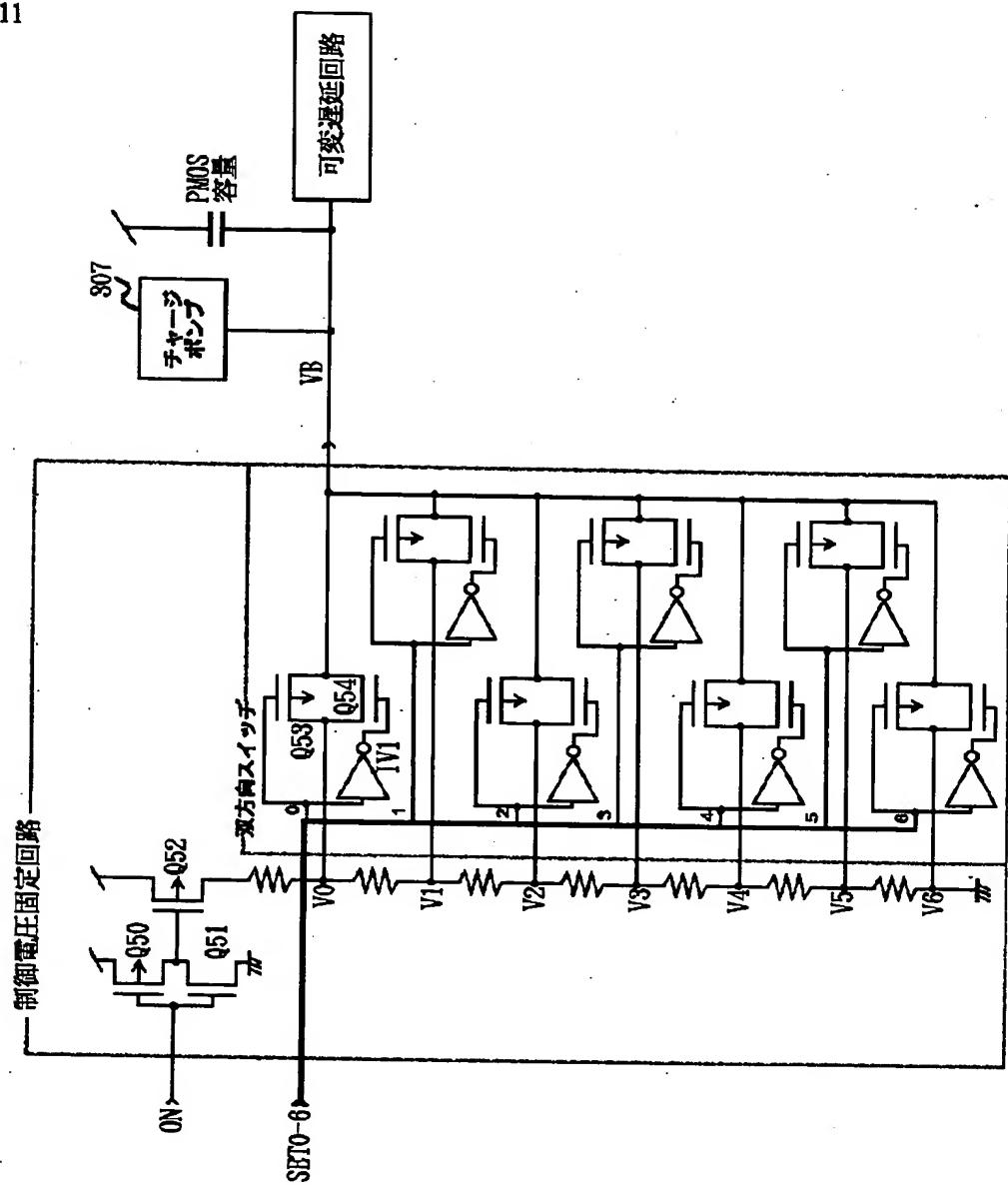


【図14】



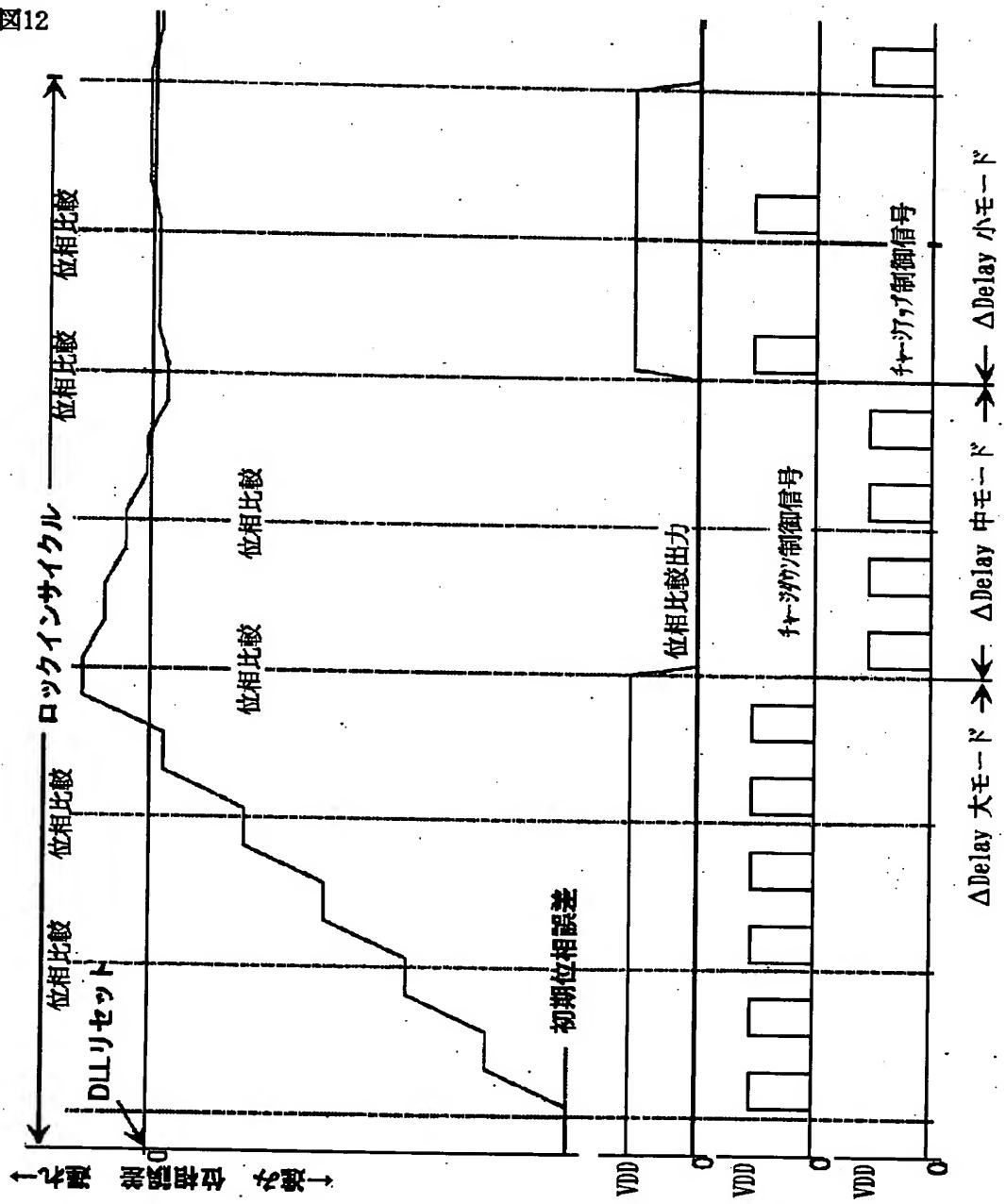
【図11】

図11

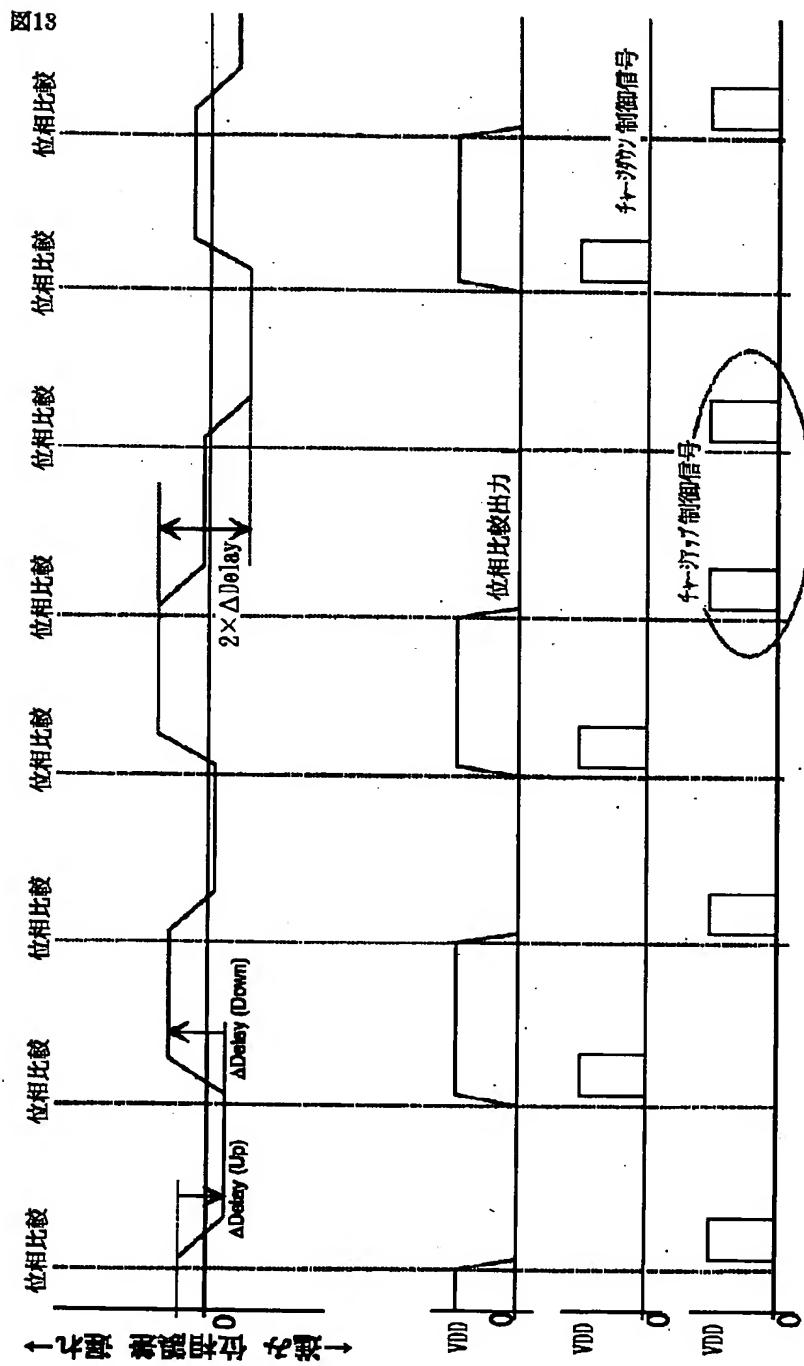


【図12】

図12

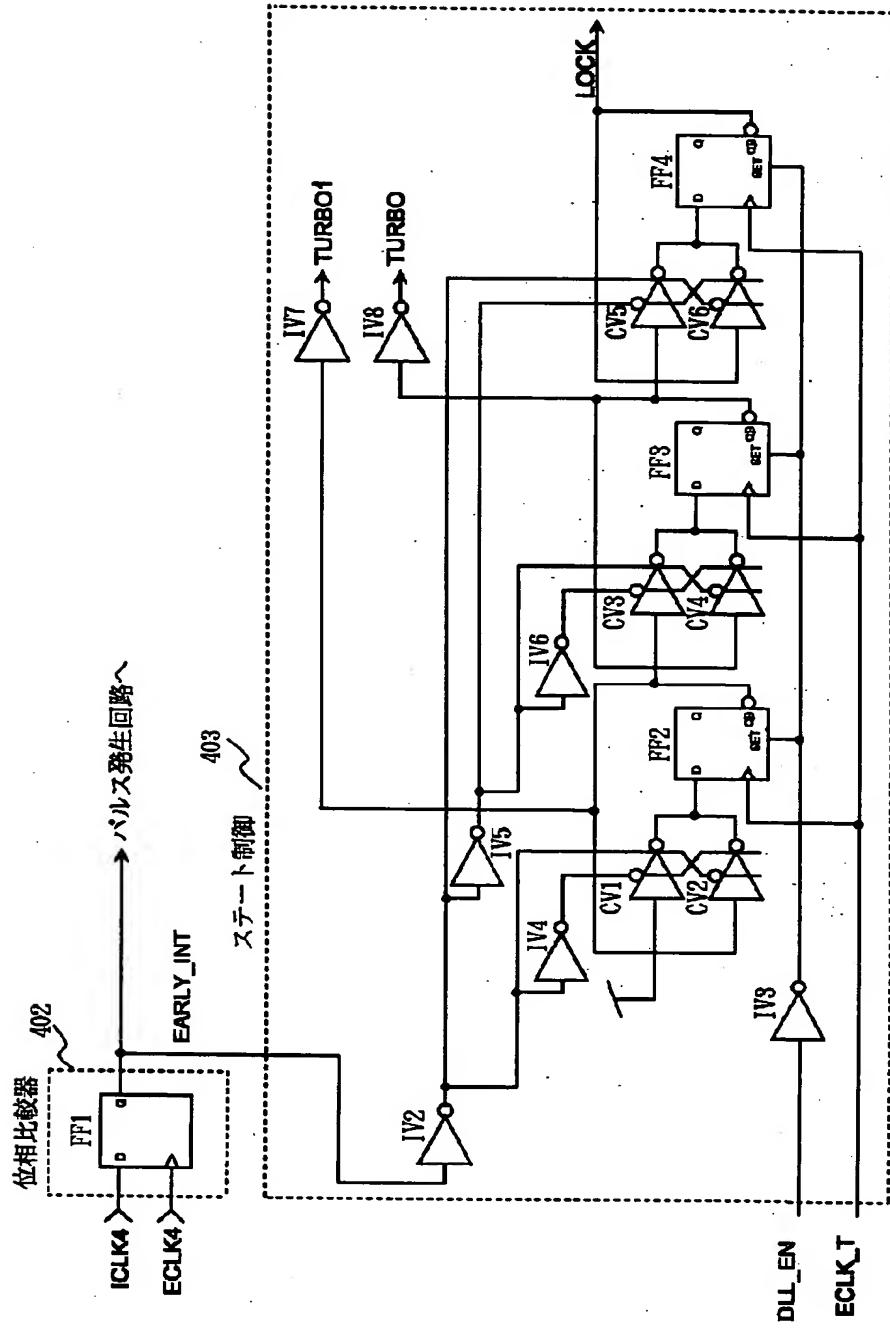


【図13】

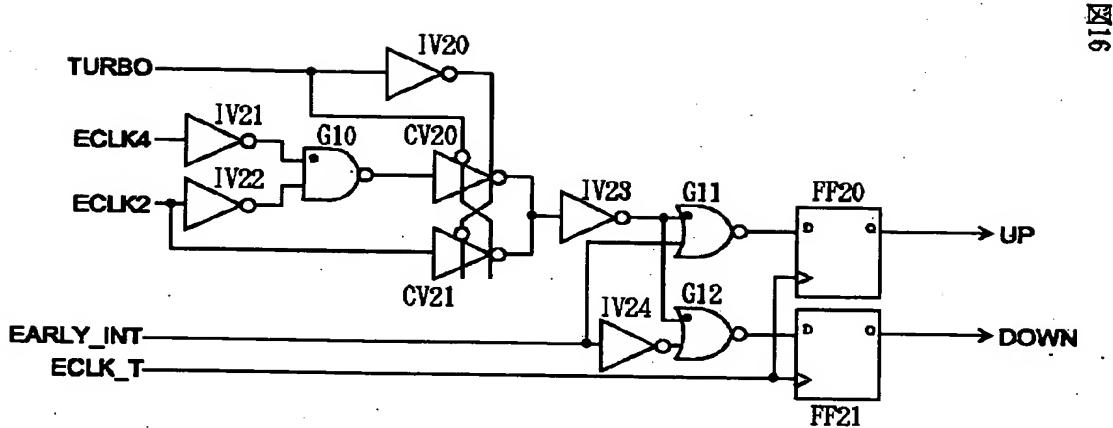


【図15】

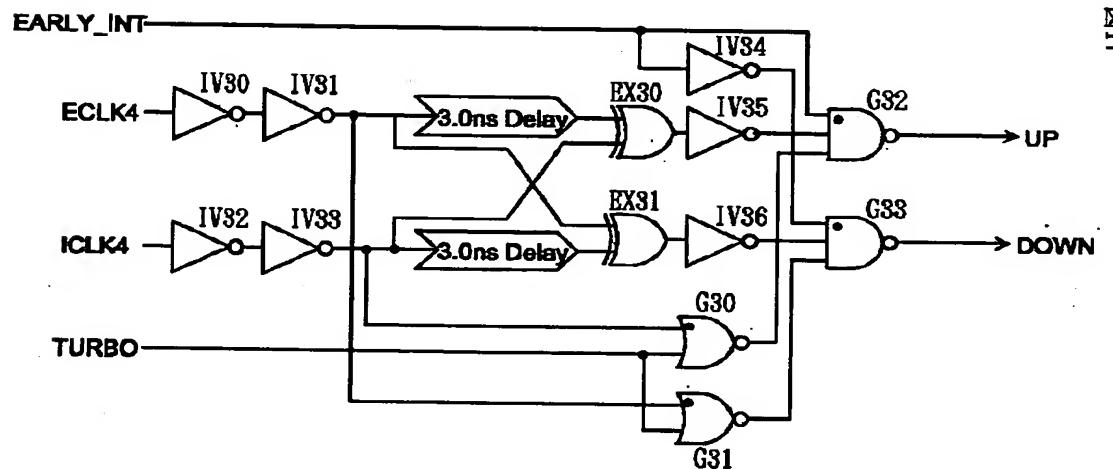
図15



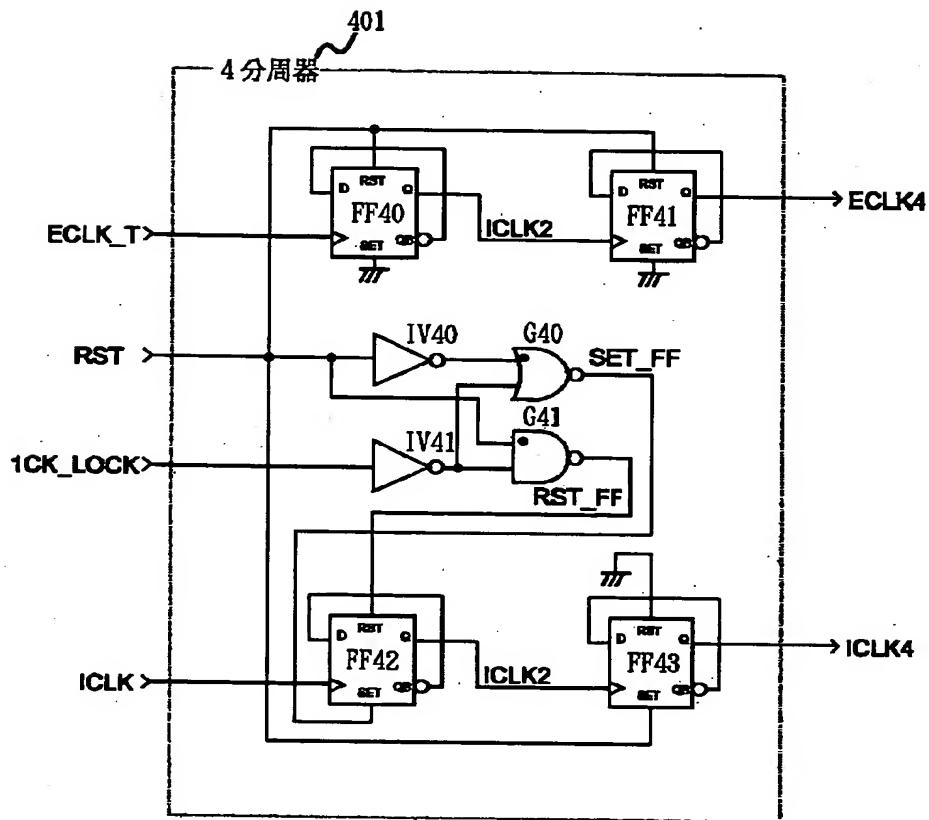
【図16】



【図17】

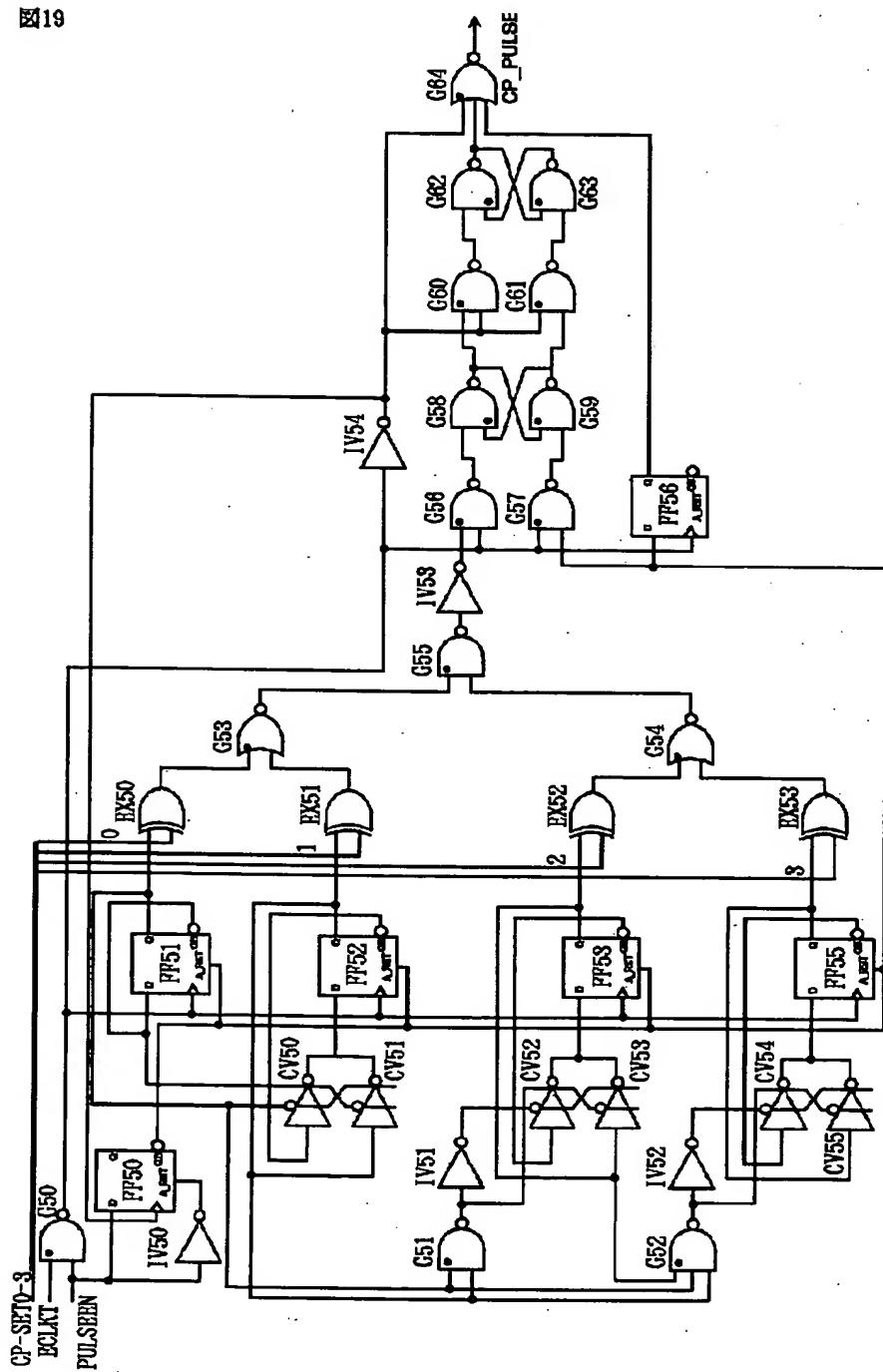


【図18】

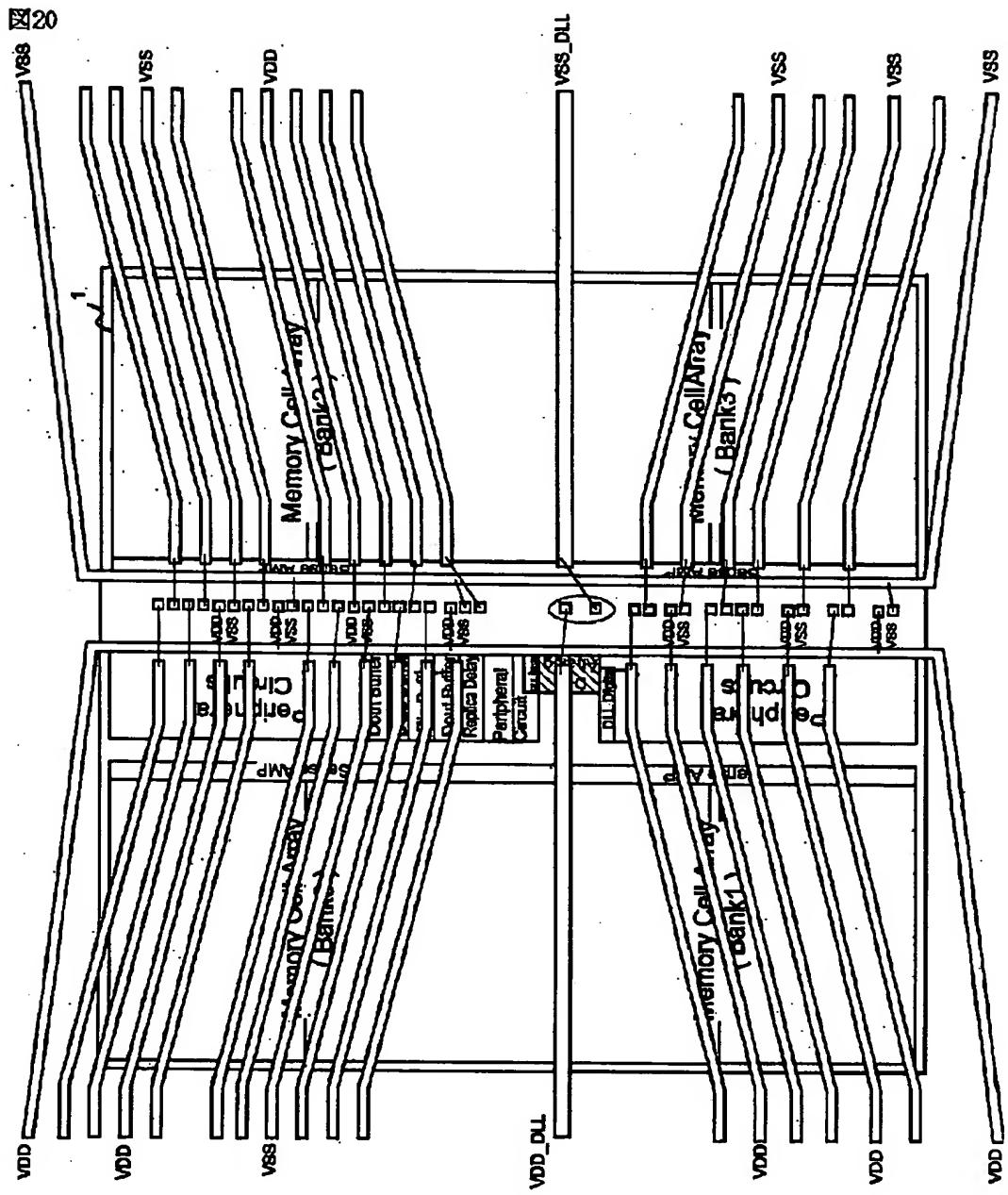


【図19】

図19

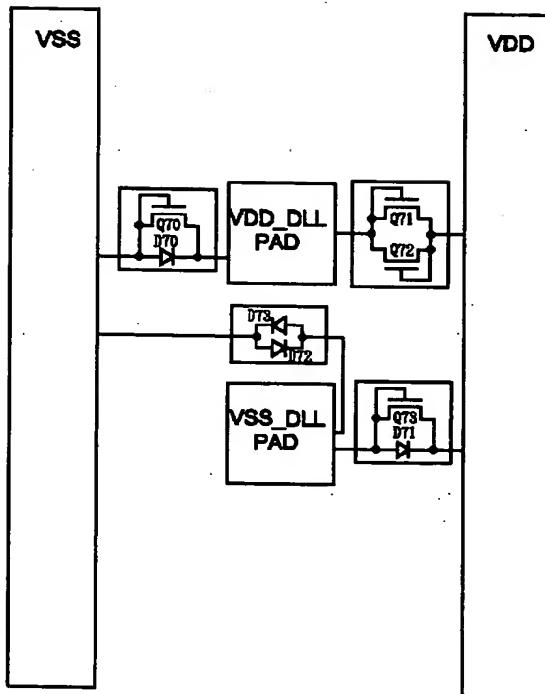


【图20】



【図21】

図21



フロントページの続き

(51) Int. Cl. <sup>7</sup>	識別記号	F I	マーク (参考)
H 0 1 L 21/822		G 1 1 C 11/34	3 6 2 H
H 0 3 L 7/00			3 7 1 K
7/081		H 0 1 L 27/04	F
// H 0 3 K 5/13			G
		27/10	6 8 1 G
			6 8 1 E
		H 0 3 L 7/08	J

(72) 発明者	中込 儀延	F ターム (参考)	5B024 AA01 BA21 BA23 BA27 BA29 CA07 CA16 CA21
	東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体グループ内		5F038 BG05 CA02 CA03 CA07 CD06 CD09 DF05 DF07 EZ20
(72) 発明者	矢幡 秀治		5F083 AD00 GA05 LA03 LA07 LA29 ZA12 ZA29
	東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体グループ内		5J001 AA05 AA11 BB05 BB12 BB21 BB24 CC07 DD04
(72) 発明者	宮下 広基		5J106 AA03 CC21 CC52 CC59 DD05 DD32 GG10 HH02 JJ08 KK03 KK05 KK40
	東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体グループ内		